

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年 1月17日

出 願 番 号

Application Number: 特願2001-008379

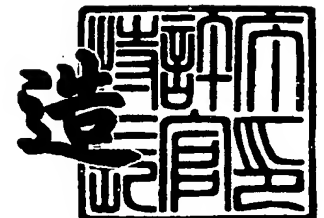
出 願 人

Applicant(s): 株式会社半導体エネルギー研究所

2001年11月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3101557

【書類名】 特許願
【整理番号】 P005432
【提出日】 平成13年 1月17日
【あて先】 特許庁長官 殿
【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 荒尾 達也

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 浅見 宗広

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光装置

【特許請求の範囲】

【請求項 1】

T F T と、保持容量とを有する発光装置であって、

前記保持容量は、前記 T F T のゲート電極を覆っている層間絶縁膜上に形成された接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記 T F T のソース領域またはドレイン領域に接続されていることを特徴とする発光装置。

【請求項 2】

T F T と、保持容量とを有する発光装置であって、

前記保持容量は、前記 T F T のゲート電極を覆っている層間絶縁膜上に形成された接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記 T F T のソース領域またはドレイン領域に接続されており、

前記接続配線は、前記 T F T の活性層と重なっていることを特徴とする発光装置。

【請求項 3】

T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記保持容量は、前記 T F T のゲート電極を覆っている層間絶縁膜上に形成された接続配線と、前記 O L E D 素子が有する画素電極と共に同一の層間絶縁膜上に形成された容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記 T F T のソース領域またはドレイン領域に接続されていることを特徴とする発光装置。

【請求項 4】

T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記保持容量は、前記 T F T のゲート電極を覆っている層間絶縁膜上に形成された接続配線と、前記 O L E D 素子が有する画素電極と共に同一の層間絶縁膜上に形成された容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記 T F T のソース領域またはドレイン領域に接続されており、

前記接続配線は、前記 T F T の活性層と重なっていることを特徴とする発光装置。

【請求項 5】

T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記保持容量は、前記 T F T のゲート電極を覆っている層間絶縁膜上に形成された接続配線と、前記 O L E D 素子が有する画素電極と共に同一の層間絶縁膜上に形成された容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記 T F T のソース領域またはドレイン領域に接続されており、

アナログのビデオ信号によって前記 O L E D 素子の輝度が制御されることを特徴とする発光装置。

【請求項 6】

T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記保持容量は、前記 T F T のゲート電極を覆っている層間絶縁膜上に形成された接続配線と、前記 O L E D 素子が有する画素電極と共に同一の層間絶縁膜上に形成された容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記 T F T のソース領域またはドレイン領域に接続されており、

前記接続配線は、前記 T F T の活性層と重なっており、

アナログのビデオ信号によって前記 O L E D 素子の輝度が制御されることを特徴とする発光装置。

【請求項7】

ソース線と、電源線と、スイッチング用TFTと、駆動用TFTと、保持容量と、OLED素子とを有する発光装置であって、

前記スイッチング用TFTのソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用TFTのゲート電極に接続され、

前記駆動用TFTのソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記OLED素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用TFTのゲート電極を覆っている層間絶縁膜上に形成されており、

前記保持容量は、前記接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有していることを特徴とする発光装置。

【請求項8】

ソース線と、電源線と、スイッチング用TFTと、駆動用TFTと、保持容量と、OLED素子とを有する発光装置であって、

前記スイッチング用TFTのソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用TFTのゲート電極に接続され、

前記駆動用TFTのソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記OLED素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用TFTのゲート電極を覆っている層間絶縁膜上に形成されており、

前記保持容量は、前記接続配線と、前記電源線と、前記接続配線と前記電源線の間に形成された絶縁膜とを有していることを特徴とする発光装置。

【請求項9】

ソース線と、電源線と、スイッチング用TFTと、駆動用TFTと、保持容量と、OLED素子とを有する発光装置であって、

前記スイッチング用TFTのソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用TFTのゲート電極

に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記保持容量は、前記接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記スイッチング用 T F T の活性層と重なっていることを特徴とする発光装置。

【請求項 1 0】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記保持容量は、前記接続配線と、前記電源線と、前記接続配線と前記電源線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記スイッチング用 T F T の活性層と重なっていることを特徴とする発光装置。

【請求項 1 1】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記保持容量は、前記接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記ソース線に入力されたアナログのビデオ信号によって前記駆動用 T F T のドレイン電流が制御され、前記ドレイン電流が前記 O L E D 素子に流れることを特徴とする発光装置。

【請求項 1 2】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記保持容量は、前記接続配線と、前記電源線と、前記接続配線と前記電源線の間に形成された絶縁膜とを有しており、

前記ソース線に入力されたアナログのビデオ信号によって前記駆動用 T F T のドレイン電流が制御され、前記ドレイン電流が前記 O L E D 素子に流れることを特徴とする発光装置。

【請求項 1 3】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極

に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記保持容量は、前記接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記スイッチング用 T F T の活性層と重なっており、

前記ソース線に入力されたアナログのビデオ信号によって前記駆動用 T F T のドレイン電流が制御され、前記ドレイン電流が前記 O L E D 素子に流れることを特徴とする発光装置。

【請求項 1 4】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記保持容量は、前記接続配線と、前記電源線と、前記接続配線と前記電源線の間に形成された絶縁膜とを有しており、

前記接続配線は、前記スイッチング用 T F T の活性層と重なっており、

前記ソース線に入力されたアナログのビデオ信号によって前記駆動用 T F T のドレイン電流が制御され、前記ドレイン電流が前記 O L E D 素子に流れることを特徴とする発光装置。

【請求項 1 5】

請求項 1 乃至請求項 1 4 のいずれか 1 項において、前記絶縁膜は、陽極酸化法

を用いて形成されることを特徴とする発光装置。

【請求項 1 6】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、第 1 の保持容量と、第 2 の保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記第 1 の保持容量は、前記接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された第 1 の絶縁膜とを有しており、

前記第 2 の保持容量は、前記駆動用 T F T のゲート電極と同一の導電膜からなる容量電極と、前記スイッチング用 T F T 及び駆動用 T F T の有する活性層と同時に形成される半導体層と、前記容量電極と前記半導体層の間に形成される絶縁膜とを有していることを特徴とする発光装置。

【請求項 1 7】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、第 1 の保持容量と、第 2 の保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記第 1 の保持容量は、前記接続配線と、前記電源線と、前記接続配線と前記電源線の間に形成された第 1 の絶縁膜とを有しており、

前記第 2 の保持容量は、前記駆動用 T F T のゲート電極と同一の導電膜からなる容量電極と、前記スイッチング用 T F T 及び駆動用 T F T の有する活性層と同時に形成される半導体層と、前記容量電極と前記半導体層の間に形成される絶縁膜とを有していることを特徴とする発光装置。

【請求項 1 8】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、第 1 の保持容量と、第 2 の保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記第 1 の保持容量は、前記接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された第 1 の絶縁膜とを有しており、

前記第 2 の保持容量は、前記駆動用 T F T のゲート電極と同一の導電膜からなる容量電極と、前記スイッチング用 T F T 及び駆動用 T F T の有する活性層と同時に形成される半導体層と、前記容量電極と前記半導体層の間に形成される絶縁膜とを有しており、

前記接続配線は、前記スイッチング用 T F T の活性層と重なっていることを特徴とする発光装置。

【請求項 1 9】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、第 1 の保持容量と、第 2 の保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続さ

れ、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記第 1 の保持容量は、前記接続配線と、前記電源線と、前記接続配線と前記電源線の間に形成された第 1 の絶縁膜とを有しており、

前記第 2 の保持容量は、前記駆動用 T F T のゲート電極と同一の導電膜からなる容量電極と、前記スイッチング用 T F T 及び駆動用 T F T の有する活性層と同時に形成される半導体層と、前記容量電極と前記半導体層の間に形成される絶縁膜とを有しており、

前記接続配線は、前記スイッチング用 T F T の活性層と重なっていることを特徴とする発光装置。

【請求項 2 0】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、第 1 の保持容量と、第 2 の保持容量と、第 3 の保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記第 1 の保持容量は、前記接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された第 1 の絶縁膜とを有しており、

前記第 2 の保持容量は、前記駆動用 T F T のゲート電極と同一の導電膜からなる容量電極と、前記スイッチング用 T F T 及び駆動用 T F T の有する活性層と同時に形成される半導体層と、前記容量電極と前記半導体層の間に形成される第 2 の絶縁膜とを有しており、

前記第 3 の保持容量は、前記容量電極と、前記電源線と、前記容量電極と前記

電源線の上に設けられた前記層間絶縁膜とを有していることを特徴とする発光装置。

【請求項 2 1】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、第 1 の保持容量と、第 2 の保持容量と、第 3 の保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記第 1 の保持容量は、前記接続配線と、前記電源線と、前記接続配線と前記電源線の上に形成された第 1 の絶縁膜とを有しており、

前記第 2 の保持容量は、前記駆動用 T F T のゲート電極と同一の導電膜からなる容量電極と、前記スイッチング用 T F T 及び駆動用 T F T の有する活性層と同時に形成される半導体層と、前記容量電極と前記半導体層の上に形成される第 2 の絶縁膜とを有しており、

前記第 3 の保持容量は、前記容量電極と、前記電源線と、前記容量電極と前記電源線の上に設けられた前記層間絶縁膜とを有していることを特徴とする発光装置。

【請求項 2 2】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、第 1 の保持容量と、第 2 の保持容量と、第 3 の保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記第 1 の保持容量は、前記接続配線と、容量配線と、前記接続配線と前記容量配線の間に形成された第 1 の絶縁膜とを有しており、

前記第 2 の保持容量は、前記駆動用 T F T のゲート電極と同一の導電膜からなる容量電極と、前記スイッチング用 T F T 及び駆動用 T F T の有する活性層と同時に形成される半導体層と、前記容量電極と前記半導体層の間に形成される第 2 の絶縁膜とを有しており、

前記第 3 の保持容量は、前記容量電極と、前記電源線と、前記容量電極と前記電源線の間に設けられた前記層間絶縁膜とを有しており、

前記接続配線は、前記スイッチング用 T F T の活性層と重なっていることを特徴とする発光装置。

【請求項 2 3】

ソース線と、電源線と、スイッチング用 T F T と、駆動用 T F T と、第 1 の保持容量と、第 2 の保持容量と、第 3 の保持容量と、O L E D 素子とを有する発光装置であって、

前記スイッチング用 T F T のソース領域またはドレイン領域は、一方は前記ソース線に接続され、もう一方は接続配線を介して前記駆動用 T F T のゲート電極に接続され、

前記駆動用 T F T のソース領域とドレイン領域は、一方は前記電源線に接続され、もう一方は前記 O L E D 素子が有する画素電極に接続され、

前記接続配線は、前記スイッチング用 T F T のゲート電極を覆っている層間絶縁膜上に形成されており、

前記第 1 の保持容量は、前記接続配線と、前記電源線と、前記接続配線と前記電源線の間に形成された第 1 の絶縁膜とを有しており、

前記第 2 の保持容量は、前記駆動用 T F T のゲート電極と同一の導電膜からなる容量電極と、前記スイッチング用 T F T 及び駆動用 T F T の有する活性層と同

時に形成される半導体層と、前記容量電極と前記半導体層の間に形成される第2の絶縁膜とを有しており、

前記第3の保持容量は、前記容量電極と、前記電源線と、前記容量電極と前記電源線の間に設けられた前記層間絶縁膜とを有しており、

前記接続配線は、前記スイッチング用TFTの活性層と重なっていることを特徴とする発光装置。

【請求項24】

請求項16乃至請求項23いずれか1項において、前記絶縁膜は、陽極酸化法を用いて形成されることを特徴とする発光装置。

【請求項25】

請求項1乃至請求項24いずれか1項において、前記接続配線と前記画素電極とは同じ導電膜から形成されていることを特徴とする発光装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成されたOLED素子を、該基板とカバー材の間に封入したOLEDパネルに関する。また、該OLEDパネルにICを実装したOLEDモジュールに関する。なお本明細書において、OLEDパネル及びOLEDモジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

【従来の技術】

OLED素子は自ら発光するため視認性が高く、液晶表示装置(LCD)で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年OLED(Organic Light Emitting Device)素子を用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【0003】

OLED素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(以下、有機発光層と記す)と、陽極

層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置では、蛍光と燐光の両方、またはいずれか一方を用いることができる。

【0004】

なお、本明細書では、OLED素子の陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLED素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0005】

ところで、OLED素子を有する発光装置の駆動方法として、アナログのビデオ信号（以下、アナログビデオ信号と呼ぶ）を用いた、アナログ駆動と呼ばれる駆動方法がある。

【0006】

アナログ駆動では、OLED素子に流れる電流を制御するTFT（駆動用TFT）のゲート電極に、アナログのビデオ信号（アナログビデオ信号）が入力される。そして該アナログビデオ信号の電位により駆動用TFTのドレイン電流の大きさが制御され、該ドレイン電流がOLED素子に流れることで、その電流の大きさに対応した輝度で前記OLED素子が発光し、階調が表示される。

【0007】

上述したアナログ駆動において、OLED素子に供給される電流の量が駆動用TFTのゲート電圧によって制御される様子を、図19を用いて詳しく説明する。

【0008】

図19は駆動用TFTのトランジスタ特性を示すグラフであり、 $I_{DS}-V_{GS}$ 特性（又は $I_{DS}-V_{GS}$ 曲線）と呼ばれている。ここで I_{DS} はドレイン電流であり、 V_{GS} はゲート電極とソース領域間の電圧（ゲート電圧）である。また、 V_{TH} は閾

値電圧であり、 V_{∞} は V_{GS} が無限大であることを意味する。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0009】

図19に示した $I_{DS}-V_{GS}$ 特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、駆動用TFTのゲート電極に入力されるアナログビデオ信号の電位に対応してドレイン電流が定まり、該ドレイン電流がOLED素子に流れ、その電流量に対応した輝度でOLED素子が発光する。

【0010】

【発明が解決しようとする課題】

ソース領域とドレイン領域間の電圧を V_{DS} とすると、図19に示した駆動用TFTのトランジスタ特性は、 V_{GS} と V_{DS} の値によって2つの領域に分けられる。 $|V_{GS}-V_{TH}| < |V_{DS}|$ である領域が飽和領域、 $|V_{GS}-V_{TH}| > |V_{DS}|$ である領域が線形領域である。

【0011】

飽和領域においては以下の式1が成り立つ。なお、 $\beta = \mu C_0 W/L$ であり、 μ は移動度、 C_0 は単位面積あたりのゲート容量、 W/L はチャネル形成領域のチャネル幅 W とチャネル長 L の比である。

【0012】

【式1】

$$I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

【0013】

式1からわかるように、飽和領域において電流値は V_{DS} によってほとんど変化せず、 V_{GS} のみによって電流値が定まる。よってアナログ信号の電位による階調の制御が比較的容易であるため、一般的にアナログ駆動では、主に飽和領域において駆動用TFTを動作させる。

【0014】

しかし飽和領域では、図19からも明らかなように、ゲート電圧の変化に対してドレイン電流が指数関数的に変化する。そのため、アナログ駆動では、アナログビデオ信号が入力されてから、次のアナログビデオ信号が入力されるまでの間

、リーク等により僅かでもゲート電圧が変化すると、ドレイン電流が大きく変化するという事態が生じうる。ドレイン電流の変化が大きいと、それに伴ってO L E D素子の輝度も大きく変化するため、フレーム周波数によっては、画面がちらついて見えるという問題が起こることがある。

【0015】

上記問題を回避するためには、ゲート電圧を確実に保持することが重要である。ゲート電圧をより確実に保持する手段として、保持容量の容量値を大きくする方法が考えられる。しかし、保持容量を大きくすると開口率が低下し、画素において実際に発光が得られる面積（有効発光面積）が小さくなる。なお有効発光面積とは、O L E D素子が有する画素電極のうち、O L E D素子から発せられる光が基板上に形成されたT F T、配線等の光を透過しないものに遮られない領域の面積を指す。

【0016】

特に近年では、画像の高精細化に対する要求が高まっており、画素の高精細化に伴う開口率の低下をいかに抑えるかが課題となっている。よって保持容量の画素に占める面積を大きくするのは好ましくない。

【0017】

本発明は上記問題点を鑑みてなされたものであり、リーク等によるゲート電圧の変化を抑えることと、開口率の低下を抑えることを同時に満たす発光装置の提供を課題とする。

【0018】

【課題を解決するための手段】

本発明では、上記の課題を解決するために、画素が有するT F Tのゲート電極及び活性層上に形成され、かつ活性層に接続された配線（接続配線）と、前記接続配線上に形成された絶縁膜と、前記絶縁膜上に形成された配線（容量配線）とで保持容量を形成した。なお容量配線は、画素電極と共に同一の層間絶縁膜上に形成されていても良い。この場合、容量配線と画素電極とを同じ導電膜から形成していても良い。また、電源線を容量配線として用いても良い。

【0019】

上記構成によって、TFTと保持容量とを重ねて形成することが可能であるので、開口率を抑えつつ保持容量の容量値を大きくすることができる。よって、リーク等によるゲート電圧の変化を抑えることができるので、アナログ駆動において、OLED素子の輝度が増加するのを抑え、画面のちらつきを抑えることができる。

【0020】

また開口率の低下を抑えることは、画素の有効発光面積の縮小化を抑えることにつながる。有効発光面積は大きければ大きいほど、画面の輝度が高くなるため、本発明の構成によって消費電力を抑えることができる。

【0021】

なお本発明の構成は、デジタル駆動の場合でも用いることができる。

【0022】

【発明の実施の形態】

以下、本発明の構成について説明する。

【0023】

本発明の発光装置は、画素部に複数の画素がマトリクス状に設けられている。図1を用いて、本発明の画素が有するTFTの接続構成について説明する。

【0024】

ソース線の1つ(S)と、ゲート線の1つ(G)と、電源線の1つ(V)とを有する領域が画素100に相当する。各画素はスイッチング用TFT101と、駆動用TFT102と、OLED素子103と、保持容量104とを有している。

【0025】

スイッチング用TFT101のゲート電極はゲート線(G)に接続されている。またスイッチング用TFT101のソース領域とドレイン領域は、一方はソース線(S)に、もう一方は駆動用TFT102のゲート電極に接続されている。

【0026】

駆動用TFTのソース領域とドレイン領域は、一方は電源線(V)に、もう一方はOLED素子103の画素電極に接続されている。

なお、OLED素子103の陽極を画素電極として用いる場合、陰極を対向電極と呼ぶ。逆に、OLED素子103の陰極を画素電極として用いる場合、陽極を対向電極と呼ぶ。

【0027】

なお、スイッチング用TFT101はpチャネル型TFTでもnチャネル型TFTでもどちらでも良い。また、駆動用TFT102も、pチャネル型TFTでもnチャネル型TFTでもどちらでも良い。ただし、陽極を画素電極として用いる場合、駆動用TFTはpチャネル型TFTであるほうが望ましい。逆に、陰極を画素電極として用いる場合、駆動用TFTはnチャネル型TFTであるほうが望ましい。

【0028】

保持容量が有する2つの電極のうち、一方は駆動用TFT102のゲート電極と電氣的に接続されており、もう一方は電源線(V)と電氣的に接続されている。

【0029】

次に、本発明の発光装置における保持容量の具体的な構成について、図2を用いて説明する。101はスイッチング用TFT、102は駆動用TFTであり、それぞれ絶縁表面上に形成されている。

【0030】

スイッチング用TFT101の活性層130は、ソース領域またはドレイン領域として機能する不純物領域110、111を有している。またゲート絶縁膜116を間に介して、活性層130上にゲート電極114が形成されている。

【0031】

駆動用TFT102の活性層131は、ソース領域またはドレイン領域として機能する不純物領域112、113を有している。またゲート絶縁膜116を間に介して、活性層131上にゲート電極115が形成されている。

【0032】

スイッチング用TFT101と駆動用TFT102の活性層130、131と、ゲート電極114、115と、ゲート絶縁膜116とを覆って、第1層間絶縁

膜 133 及び第 2 層間絶縁膜 117 が形成されている。なお図 2 では第 1 層間絶縁膜 133 及び第 2 層間絶縁膜 117 の 2 層層間絶縁膜を形成したが、層間絶縁膜は一層でも良い。そして第 2 層間絶縁膜 117 上にはソース線 (S) と、接続配線 118、119 と、電源線 (V) とが形成されている。

【0033】

ソース線 (S) は第 2 層間絶縁膜 117 に形成されたコンタクトホールを介して不純物領域 110 と接続されている。また接続配線 118 は、第 2 層間絶縁膜 117 に形成されたコンタクトホールを介して不純物領域 111 と接続されている。

【0034】

接続配線 119 は、第 2 層間絶縁膜 117 に形成されたコンタクトホールを介して不純物領域 112 と接続されている。また、電源線 (V) は第 2 層間絶縁膜 117 に形成されたコンタクトホールを介して不純物領域 113 と接続されている。

【0035】

接続配線 118 は間に第 2 層間絶縁膜 117 を挟んで、活性層 130 と重なっている。

【0036】

ソース線 (S) と、接続配線 118、119 と、電源線 (V) を覆うように、第 2 層間絶縁膜 117 上に第 3 層間絶縁膜 120 が形成されている。そして第 3 層間絶縁膜 120 上に容量配線 121 と画素電極 122 が形成されている。

【0037】

画素電極 122 は第 3 層間絶縁膜 120 に形成されたコンタクトホールを介して接続配線 119 に形成されている。

【0038】

本発明では、接続配線 118 と容量配線 121 との間に第 3 層間絶縁膜 120 が形成されている部分において、保持容量 104 が形成されている。容量配線 121 は画素電極 122 と同じ導電膜から形成することができるため、工程数を増やさなくても保持容量を形成することが可能である。また、スイッチング用 TF

T101の活性層130と重なるように保持容量104が形成されるために、保持容量を形成しても開口率の低下を抑えることができる。

【0039】

容量配線121と、画素電極122とを覆うように、第3層間絶縁膜120上に第4層間絶縁膜125が形成されている。第4層間絶縁膜125は一部エッチングされ、画素電極122が露出している。

【0040】

そして画素電極122と第4層間絶縁膜125を覆って有機発光層123と対向電極124とが順に積層されており、画素電極122と、有機発光層123と、対向電極124とが重なっている部分が、OLED素子103に相当する。

【0041】

なお本発明において、TFTは図2に示した構造に限定されない。また、本発明では、接続配線118と容量配線121を用いて形成される保持容量121に加えて、別の構成の保持容量を有していても良い。

【0042】

また、本発明で開示する画素構造では、接続配線118がスイッチング用TFT101の活性層と重なるように形成されるため、OLED素子からの発せられる光や、発光装置の外部から入射する光が活性層130にあたることで、スイッチング用TFT101にオフ電流が流れるのを防ぐことができる。

【0043】

なお図2では、スイッチング用TFT101がnチャネル型TFT、駆動用TFT102がpチャネル型の場合について示しているが、本発明はこれに限定されない。スイッチング用TFT101と駆動用TFT102はpチャネル型TFTでもnチャネル型TFTでもどちらでも良い。ただし、図2では画素電極122として陽極を用いているので、駆動用TFTはpチャネル型TFTであるのが望ましい。

【0044】

また、本実施の形態では、画素に2つTFTが設けられた例について示したが、本発明はこの構成に限定されない。画素が有するTFTは幾つであっても、本

発明の構成の保持容量を形成することが可能である。本発明では、画素が有する T F T のゲート電極及び活性層上に形成され、かつ活性層に接続された配線（接続配線）と、前記接続配線上に形成された絶縁膜と、前記絶縁膜上に形成された配線（容量配線）とで保持容量を形成していれば良い。

【 0 0 4 5 】

本発明は上記構成によって、T F T と保持容量とを重ねて形成することが可能であるので、開口率を抑えつつ保持容量の容量値を大きくすることができる。よって、リーク等によるゲート電圧の変化を抑えることができるので、アナログ駆動において、O L E D 素子の輝度が変化するのを抑え、画面のちらつきを抑えることができる。

【 0 0 4 6 】

また開口率の低下を抑えることは、画素の有効発光面積の縮小化を抑えることにつながる。有効発光面積は大きければ大きいほど、画面の輝度が高くなるため、本発明の構成によって消費電力を抑えることができる。

【 0 0 4 7 】

【実施例】

以下、本発明の実施例について説明する。

【 0 0 4 8 】

（実施例 1）

本発明の発光装置の作製方法の一例について、図 3 ～ 図 8 を用いて説明する。ここでは、図 1 において示した画素の T F T を作製する方法について、工程に従って詳細に説明する。

【 0 0 4 9 】

まず、本実施例ではコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 2 0 0 を用いる。なお、基板 2 0 0 としては、透光性を有する基板であれば良く、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【 0 0 5 0 】

次いで、図3 (A) に示すように、基板200上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜201を形成する。本実施例では下地膜201として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜201の一層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜201aを10～200nm（好ましくは50～100nm）形成する。本実施例では、膜厚50nmの酸化窒化珪素膜201a（組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ ）を形成した。次いで、下地膜201の二層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜201bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜201b（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）を形成した。

【0051】

次いで、下地膜201上に半導体層202～204を形成する。半導体層202～204は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層202～204の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素（シリコン）またはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ （ $x=0.0001\sim 0.02$ ））合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化（500℃、1時間）を行った後、熱結晶化（550℃、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層202～204を形成した。

【0052】

また、半導体層202～204を形成した後、TFTのしきい値を制御するために、半導体層202～204に微量な不純物元素（ボロンまたはリン）をドーピングしてもよい。

【0053】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を50～98%として行えばよい。

【0054】

次いで、半導体層202～204を覆うゲート絶縁膜205を形成する。ゲート絶縁膜205はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0055】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40Pa、基板温度300～4

00℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。ここまでの工程によって、図3（A）に示す断面図が完成する。

【0056】

次いで、レジストからなるマスク206を形成し、n型不純物元素（本実施例では、リン）を添加して、高濃度にリンを含む不純物領域207～209を形成する。この領域には、リンが $1 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm³、代表的には $2 \times 10^{20} \sim 1 \times 10^{22}$ atoms/cm³の濃度が含まれるようにする。（図3（B））

【0057】

そして、ゲート絶縁膜205上にゲート電極を形成するための耐熱性導電層を形成する（図3（C））。耐熱性導電層210は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。本実施例では、導電膜（A）210aおよび導電膜（B）210bでなる積層膜を形成する。耐熱性導電層にはタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素、または前記元素を主成分とする導電膜（代表的には、窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金膜、Mo-Ta合金膜、タングステンシリサイド膜等）を用いることができる。が含まれる。本実施例では、導電膜（A）210aとしてTa₂N膜、導電膜（B）210bとしてW膜を用いる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良い。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タングステン（WF₆）を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による

場合、純度99.99%または純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

【0058】

一方、耐熱性導電層210にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、スパッタ時のガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相のTa膜の抵抗率は $20 \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180 \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。Ta_N膜は α 相に近い結晶構造を持つので、Ta膜の下地にTa_N膜を形成すれば α 相のTa膜が容易に得られる。また、図示しないが、耐熱性導電層210の下に2~20nm程度の厚さでリン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層210が微量に含有するアルカリ金属元素が第1の形状のゲート絶縁膜205に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層210は抵抗率を $10 \sim 50 \mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0059】

その後、導電膜(A)210aおよび導電膜(B)210bを所望の形状にパターニングして、ゲート電極211、212及び容量電極213を形成する(図3(D))。なお図3(D)ではわからないが、容量電極213はゲート電極212と接続されている。

【0060】

(図3(D))の工程が終了した時点における画素の上面図を図4に示す。(図3(D))は図4に示す画素の、A-A'における断面図に相当する。なお、図を分かり易くするために、ゲート絶縁膜205は省略している。また、250はゲート線に相当し、ゲート電極211と接続されている。

【0061】

次いで、ゲート電極211をマスクとして用いて、n型を付与する不純物元素

(以下、n型不純物元素とする)を後のTFTの活性層となる半導体層202、203に添加する。n型不純物元素としては、周期表の15族に属する元素、典型的にはリンまたはヒ素を用いることができる。この工程により、第1不純物領域215~217、220、221、第2不純物領域218、チャネル形成領域219、222が形成される。第1不純物領域215と217は、一方がソース領域、もう一方がドレイン領域として機能する。また第2不純物領域218はLDD領域として機能させるための低濃度不純物領域であり、n型不純物元素が $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (代表的には、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$)の濃度で含まれている(図5(A))。

【0062】

次いで、後のnチャネル型TFTとなる領域をマスク223で覆い、後のpチャネル型TFTの活性層となる半導体層203にp型不純物元素としてボロンを $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ 、代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度が含まれるように添加する(図5(B))。この工程によって、半導体層203に第3不純物領域224、225が形成される。

【0063】

次に、ゲート電極211、212、容量電極213およびゲート絶縁膜205上に第1層間絶縁膜226を形成する。第1層間絶縁膜226は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1層間絶縁膜226は無機絶縁物材料から形成する。第1層間絶縁膜226の膜厚は100~200nmとする。第1層間絶縁膜226として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSと O_2 とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。また、第1層間絶縁膜226として酸化窒化シリコン膜を用いる場合には、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20~200Pa、基板温度300~400℃とし、高周波(60MHz)電力密度0.1~1.0W/cm²で形成することができ

る。また、第1層間絶縁膜226として SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で SiH_4 、 NH_3 から作製することが可能である。

【0064】

そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う(図5(C))。なお、本実施例でゲート電極として用いている導電膜は、非常に酸化されやすく、酸化すると抵抗率が上がってしまうという問題があった。そこで、本実施例における活性化のための加熱処理は、ロータリーポンプおよびメカニカルブースターポンプにより排気を行って雰囲気中の酸素濃度を低減し、減圧の雰囲気下で加熱処理を行うことが好ましい。

【0065】

次いで、熱的に励起された水素により活性層中のダングリングボンドを末端する水素化のため、水素雰囲気中で、 410°C で1時間の加熱処理を行う。水素化の他の手段として、プラズマにより励起された水素を用いるプラズマ水素化を行ってもよい。

【0066】

次いで、第2層間絶縁膜227を膜厚 $500\sim 1000\text{nm}$ (本実施例では 800nm)に形成する。第2層間絶縁膜227としては、アクリル、ポリイミド、ポリアミド、BCB(ベンゾシクロブテン)といった有機絶縁膜、もしくは、酸化窒化シリコン膜もしくは窒化酸化シリコン膜といった無機絶縁膜を用いればよい。

【0067】

その後、所定のパターンのレジストマスクを形成し、第1不純物領域215、217、第3不純物領域224、225、不純物領域209に達するコンタクトホールを形成する。ただし、図5(D)では不純物領域209に達するコンタクトホールは省略している。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る第2層間絶縁膜227をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1層間絶縁膜226をエッチングする。さらに、半導体

層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜205をエッチングすることによりコンタクトホールを形成することができる。

【0068】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース線228、接続配線229、230、電源線231を形成する。ソース線228は第1不純物領域215に、接続配線229は第1不純物領域217に、接続配線230は第3不純物領域220に、電源線231は第3不純物領域221に接続されている。また（図5（D））では図示していないが、接続配線229は、ゲート電極212と接続されている。また（図5（D））では図示していないが、電源線231は不純物領域209に接続されている。

【0069】

図示していないが、本実施例ではこの配線を、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜で形成した（図5（D））。

【0070】

（図5（D））の工程が終了した時点における画素の上面図を図6に示す。（図5（D））は図6に示す画素の、A-A'における断面図に相当する。なお、図を分かり易くするために、ゲート絶縁膜205及び第1及び第2層間絶縁膜226、227は省略している。また、250はゲート線である。

【0071】

接続配線229とゲート電極212とが接続されている様子を、図20（A）に示す。なお図20（A）は図6に示す画素の、B-B'における断面図に相当する。接続配線229は第2層間絶縁膜227及び第1層間絶縁膜226に形成されたコンタクトホールを介して、ゲート電極212に接続されている。

【0072】

電源線231と不純物領域209とが接続されている様子を、図20（B）に示す。なお図20（B）は図6に示す画素の、C-C'における断面図に相当す

る。電源線 2 3 1 は第 2 層間絶縁膜 2 2 7 及び第 1 層間絶縁膜 2 2 6 に形成されたコンタクトホールを介して、不純物領域 2 0 9 に接続されている。

【 0 0 7 3 】

次いで、第 3 層間絶縁膜 2 3 3 を形成する。第 3 層間絶縁膜 2 3 3 は、平坦化する必要があるため、ポリイミド、アクリルといった有機絶縁膜を用いて膜厚 1 . 5 μm に形成する。そして、第 3 層間絶縁膜 2 3 3 に接続配線 2 3 0 に達するコンタクトホールを形成し、次いで、第 3 層間絶縁膜 2 3 3 上に透明導電膜を 8 0 ~ 1 2 0 nm の厚さで形成し、パターニングすることによって画素電極 2 3 4 及び容量配線 2 3 5 を形成する (図 7 (A))。なお、本実施例では、透明導電膜として酸化インジウム・スズ (ITO) 膜や酸化インジウムに 2 ~ 2 0 [%] の酸化亜鉛 (ZnO) を混合した透明導電膜を用いる。

【 0 0 7 4 】

容量配線 2 3 5 は、第 3 層間絶縁膜 2 3 3 を間に介して接続配線 2 2 9 と重なっている。本発明では、容量配線 2 3 5 と、第 3 層間絶縁膜 2 3 3 と、接続配線 2 2 9 とによって、保持容量 2 3 6 が形成されている。

【 0 0 7 5 】

図 7 (A) の工程が終了した時点における画素の上面図を図 8 に示す。図 7 (A) は図 8 に示す画素の、A - A' における断面図に相当する。なお、図を分かり易くするために、第 3 層間絶縁膜 2 3 3 は省略している。

【 0 0 7 6 】

なお、図 7 (A) では図示していないが、保持容量 2 3 6 を形成している容量配線 2 3 5 は、隣り合う画素間で互いに接続している。図 9 に、図 8 で示した画素が複数配置している様子を示す。

【 0 0 7 7 】

2 2 8 はソース線、2 3 1 は電源線である。そして接続配線 2 2 9 は図 9 に示すとおり、隣接する画素間において接続または共有されており、全ての接続配線 2 2 9 には一定の電位が与えられている。なお、2 5 0 はゲート線に相当し、ゲート電極 2 1 1 と接続されている。

【 0 0 7 8 】

次に、図7(B)に示すように、画素電極234に対応する位置に開口部を有する第4層間絶縁膜237を形成する。第4層間絶縁膜237は絶縁性を有していて、バンクとして機能し、隣接する画素の有機発光層を分離する役割を有している。本実施例ではレジストを用いて第4層間絶縁膜237を形成する。

【0079】

次に、有機発光層238を蒸着法により形成し、更に蒸着法により陰極(MgAg電極)239および保護電極240を形成する。このとき有機発光層238及び陰極239を形成するに先立って画素電極234に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではOLED素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0080】

なお、有機発光層238としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)でなる2層構造を有機発光層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0081】

本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30~40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0082】

また、保護電極240でも有機発光層238を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜241を設けると良い。本実施例では保護膜241として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極240の後に大気解放しないで連続的に形成しても構わない。

【0083】

また、保護電極240は陰極239の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機

発光層 238、陰極 239 は非常に水分に弱いので、保護電極 240 までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0084】

なお、有機発光層 238 の膜厚は 10～400 [nm] (典型的には 60～150 [nm])、陰極 239 の厚さは 80～200 [nm] (典型的には 100～150 [nm]) とすれば良い。

【0085】

こうして図 7 (B) に示すような構造の発光装置が完成する。なお、画素電極 234、有機発光層 238、陰極 239 の重なっている部分 242 が OLED 素子に相当する。

【0086】

本実施例では、不純物領域 209 と、ゲート絶縁膜 205 と、容量電極 213 とで、保持容量 243 が形成される。また、容量電極 213 と、第 2 層間絶縁膜 227 と、電源線 231 とで保持容量 244 が形成される。不純物領域 209 と容量電極 213 とは電源線 213 と重なっているので、保持容量 243、244 は開口率を下げることなく形成することができる。

【0087】

なお、245 はスイッチング用 TFT であり、246 は駆動用 TFT である。

【0088】

なお、実際には図 7 (B) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム (ラミネートフィルム、紫外線硬化樹脂フィルム等) や透光性のシーリング材でパッケージング (封入) することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料 (例えば酸化バリウム) を配置したりすると OLED 素子の信頼性が向上する。

【0089】

本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【0090】

(実施例2)

本実施例では、図7(A)と異なる構成を有する、本発明の保持容量について説明する。

【0091】

図10に本実施例の画素の断面図を示す。301はスイッチング用TFT、302は駆動用TFTであり、本実施例ではそれぞれnチャネル型TFT、pチャネル型TFTを用いているが、本実施例はこの構成に限定されない。スイッチング用TFTと駆動用TFTは、nチャネル型TFTとpチャネル型TFTのどちらを用いても良い。

【0092】

第2層間絶縁膜303を形成した後、第2層間絶縁膜303、ゲート絶縁膜307及び第1層間絶縁膜306にコンタクトホールを形成する。次に、接続配線305、320、ソース線304、電源線321となる導電層を形成する。本実施例では、導電層として、チタン(Ti)を主成分とする導電膜を膜厚50~100nmに成膜した後、アルミニウム(Al)を主成分とする導電膜を膜厚300~500nmに成膜する積層構造とした。なお、接続配線を形成するための導電膜としては、タンタル(Ta)を主成分とする膜、アルミニウム(Al)を主成分とする導電膜またはチタン(Ti)を主成分とする膜のいずれかを積層させて形成すればよい。

【0093】

そして、該導電層の表面に、陽極酸化法またはプラズマ酸化法(本実施例では陽極酸化法)により20~100nm(好ましくは30~50nm)の厚さの誘電体となる絶縁膜310を形成する。本実施例では接続配線305としてチタンを主成分とする膜と、アルミニウムを主成分とする膜とを積層して用いており、アルミニウムを主成分とする膜が陽極酸化され、陽極酸化膜である酸化アルミニウム膜(アルミナ膜)が形成される。本実施例では、この陽極酸化膜が絶縁膜310に相当し、保持容量の誘電体として用いられる。なお、タンタル(Ta)またはチタン(Ti)を陽極酸化して得られる酸化絶縁膜も誘電率が高いため、保持容量の誘電体として好適に用いることができる。

【0094】

この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2:8で混合した溶液であり、これにアンモニア水を加え、pHが 7 ± 0.5 となるように調節する。そして、この溶液中に陰極となる白金電極を設け、導電層が形成されている基板を溶液に浸し、導電層を陽極として、一定(数mA~数十mA)の直流電流を流す。本実施例では1枚の基板に200mAの電流を流した。

【0095】

溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま一定の昇圧レートで電圧を上昇させて、到達電圧45Vに達したところで陽極酸化処理を終了させる。このようにして接続配線305の表面には厚さ約50nmの絶縁膜305を形成することができる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化するものである。

【0096】

本実施例における陽極酸化法の条件で、アルミニウム膜に陽極酸化膜を形成すると膜厚51.4nmの AlO_x 膜が形成された。この AlO_x 膜上に1mm Φ のITO膜を形成し、Al膜-Al O_x 膜-ITO膜間に5Vの電圧をかけたところ、 1×10^{-11} (A)の微少なリーク電流が測定された。これにより、 AlO_x 膜は液晶表示装置の保持容量の誘電体として用いることができることがわかった。

【0097】

なお、ここでは陽極酸化法を用いて絶縁膜310を形成する構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC(Diamond Like Carbon)膜、酸化タンタル膜または有機絶縁膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0098】

絶縁膜310を形成した後、導電膜と絶縁膜310を所望の形状にパターンニ

グして、接続配線 3 0 5、ソース線 3 0 4、接続配線 3 2 0 及び電源線 3 2 1 を形成する。ソース配線 3 0 4 は、第 2 層間絶縁膜 3 0 3、第 1 層間絶縁膜 3 0 6、ゲート絶縁膜 3 0 7 に形成されたコンタクトホールを介して、スイッチング用 TFT 3 0 1 が有する活性層の不純物領域 3 0 8 に接続されている。また接続配線 3 0 5 も同様に、第 2 層間絶縁膜 3 0 3、第 1 層間絶縁膜 3 0 6、ゲート絶縁膜 3 0 7 に形成されたコンタクトホールを介して、スイッチング用 TFT 3 0 1 が有する活性層の不純物領域 3 0 9 に接続されている。

【 0 0 9 9 】

その後、第 3 層間絶縁膜 3 1 1 を形成する。そして、エッチングすることで第 3 層間絶縁膜 3 1 1 の一部を除去して絶縁膜 3 0 5 を露出させる。またこの工程とは別に、接続配線 3 2 0 に達するコンタクトホールも形成する。このとき、接続配線 3 2 0 に接して形成されている絶縁膜 3 2 0 の一部を除去し、接続配線 3 2 0 を露出させる。

【 0 1 0 0 】

その後、透明導電膜を成膜し、エッチングすることで、容量配線 3 2 2、画素電極 3 2 3 を形成する。画素電極は第 3 層間絶縁膜 3 1 1 に形成されたコンタクトホールを介して接続配線 3 2 0 に接続されている。

【 0 1 0 1 】

本実施例では、接続配線 3 0 5 と、絶縁膜 3 1 0 と、容量配線 3 2 2 とで、保持容量 3 2 4 が形成される。

【 0 1 0 2 】

本実施例の構成の保持容量では、誘電体の厚さや誘電率等の選択の幅が実施例 1 に比べて広がる。

【 0 1 0 3 】

(実施例 3)

本実施例では、ゲート線を接続配線と同じ層に形成する例について説明する。

【 0 1 0 4 】

図 1 1 に本実施例の画素の断面図を示す。3 0 1 はスイッチング用 TFT、3 0 2 は駆動用 TFT である。3 0 3 はソース線、3 0 4 は電源線に相当する。

【0105】

ソース線303及び電源線304は、スイッチング用TFT301のゲート電極305と、駆動用TFT302のゲート電極306と同時に、ゲート絶縁膜307上に形成されている。容量電極304はゲート絶縁膜307を間に介して不純物領域308と重なっている。そして、容量電極304と、ゲート絶縁膜307と、不純物領域308とで、保持容量309が形成されている。

【0106】

第2層間絶縁膜310上には、接続配線311～314と、ゲート線330が形成されている。そして、第2層間絶縁膜310、第1層間絶縁膜320に形成されたコンタクトホールを介して、ソース線303と接続配線311とが接続されており、また容量電極304と接続配線314とが接続されている。

【0107】

また、第2層間絶縁膜310、第1層間絶縁膜320、ゲート絶縁膜307に形成されたコンタクトホールを介して、スイッチング用TFT301の不純物領域321と接続配線311が接続されており、スイッチング用TFT301の不純物領域322と接続配線312が接続されている。同様に、第2層間絶縁膜310、第1層間絶縁膜320、ゲート絶縁膜307に形成されたコンタクトホールを介して、駆動用TFT302の不純物領域323と接続配線313が接続されており、駆動用TFT302の不純物領域324と接続配線314が接続されている。

【0108】

接続配線312は、スイッチング用TFTの活性層と、第1及び第2層間絶縁膜320、310を間に介して重なっている。また図示していないが、ゲート線330は、第2層間絶縁膜310、第1層間絶縁膜320に形成されたコンタクトホールを介して、スイッチング用TFTのゲート電極305に接続されている。

【0109】

接続配線311～314と、ゲート線330とを覆って、第2層間絶縁膜310上に、第3層間絶縁膜340が形成されている。そして第3層間絶縁膜340

上には同じ導電膜からなる容量配線 3 4 1 と画素電極 3 4 2 とが形成されている。画素電極 3 4 2 は第 3 層間絶縁膜 3 4 0 に形成されたコンタクトホールを間に介して接続配線 3 1 3 と接続されている。

【 0 1 1 0 】

本発明の特徴である保持容量 3 4 3 は、接続配線 3 1 2 と、第 3 層間絶縁膜 3 4 0 と、容量配線 3 4 1 とで形成されている。

【 0 1 1 1 】

本実施例のように、ゲート線を接続配線と同じ層に形成することで、ゲート電極とゲート線とを異なる材料で形成しても工程数を抑えることができる。よって、精密加工が容易な材料を用いてゲート電極を形成し、抵抗の低い材料を用いてゲート線を形成することも可能である。

【 0 1 1 2 】

本実施例は実施例 2 と自由に組み合わせて実施することが可能である。

【 0 1 1 3 】

(実施例 4)

本実施例では、逆スタガ型の T F T を用いた画素構成について説明する。

【 0 1 1 4 】

図 1 2 に本実施例の画素の断面図を示す。4 0 1 はスイッチング用 T F T、4 0 2 は駆動用 T F T である。

【 0 1 1 5 】

ソース線 4 0 5、接続配線 4 0 6、4 0 7、電源線 4 0 8 は第 1 層間絶縁膜 4 0 9 上に形成されている。ソース線 4 0 5 は第 1 層間絶縁膜 4 0 9 に形成されたコンタクトホールを介して、スイッチング用 T F T 4 0 1 の不純物領域 4 1 0 に接続されている。また、接続配線 4 0 6 も第 1 層間絶縁膜 4 0 9 に形成されたコンタクトホールを介して、スイッチング用 T F T 4 0 1 の不純物領域 4 1 1 に接続されている。

【 0 1 1 6 】

また、接続配線 4 0 7 は第 1 層間絶縁膜 4 0 9 に形成されたコンタクトホールを介して、駆動用 T F T 4 0 2 の不純物領域 4 1 2 に接続されている。電源線 4

08は第1層間絶縁膜409に形成されたコンタクトホールを介して、駆動用TFT402の不純物領域413に接続されている。

【0117】

ソース線405、接続配線406、407、電源線408を覆って、第1層間絶縁膜409上に第2層間絶縁膜415が形成されている。そして第2層間絶縁膜415上には、同じ導電膜からなる容量配線416と画素電極417とが形成されている。なお画素電極417は第2層間絶縁膜415に形成されたコンタクトホールを介して接続配線407に接続されている。

【0118】

本実施例は、実施例2の構成と自由に組み合わせて実施することが可能である。

【0119】

(実施例5)

本実施例では、ゲート線をスイッチング用TFTの活性層と、基板との間に形成する例について説明する。

【0120】

本実施例の画素の断面図を図13に示す。501はスイッチング用TFTであり、502は駆動用TFTである。スイッチング用TFT501の活性層503と、基板504との間にはゲート線として機能する遮光膜505が形成されている。

【0121】

遮光膜505を形成する膜としては、ポリシリコン膜、 WSi_x ($x=2.0\sim 2.8$) 膜、Al、Ta、W、Cr、Mo等の導電性材料からなる膜のいずれか一種または複数種を成膜すればよい。本実施例では、ポリシリコン膜を膜厚50nm、 WSi_x 膜を膜厚100nmで積層して形成し、遮光膜505とした。

【0122】

そして、遮光膜505と活性層の間には下地絶縁膜506が形成されている。下地絶縁膜506は、シリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）をプラズマCVD法またはスパッタ法等で形

成する。

【0123】

そして後の工程において、スイッチング用TFT501のゲート電極507を形成する前に、遮光膜505に達するコンタクトホールを下地絶縁膜506に形成し、ゲート電極507となる導電膜を形成する。そして該導電膜をパターニングし、遮光膜505に接続したゲート電極507が形成される。

【0124】

上記構成では、ゲート線とスイッチング用TFT501が重なるので、開口率を高くすることができる。

【0125】

本実施例は、実施例2と自由に組み合わせて実施することが可能である。

【0126】

(実施例6)

本実施例では、本発明の発光装置の駆動方法について説明する。

【0127】

図14は本発明の発光装置の画素部の回路図である。601はスイッチング用TFT、602は駆動用TFT、603はOLED素子、604は保持容量である。画素の詳しい接続構成は、図1に示した画素と同じである。

【0128】

画素部にはソース線S1～Sx、電源線V1～Vx、ゲート線G1～Gyが形成されている。各画素はソース線S1～Sxのいずれか1つと、電源線V1～Vxのいずれか1つと、ゲート線G1～Gyのいずれか1つとを有している。

【0129】

図14で示した発光装置を、アナログ駆動させた場合のタイミングチャートを図15に示す。1つのゲート線が選択されてから、その次に別のゲート線が選択されるまでの期間を1ライン期間(L)とする。なお本明細書においてゲート線が選択されるとは、該ゲート線にゲート電極が接続された全てのTFTがオンになることを意味する。

【0130】

また1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間(F)に相当する。図13に示す発光装置の場合、ゲート線は y 本あるので、1フレーム期間中に y 個のライン期間($L1 \sim Ly$)が設けられている。

【0131】

まず電源線($V1 \sim Vx$)の電位(電源電位)は一定に保たれている。そして対向電極の電位も一定に保たれている。対向電極の電位は、電源電位がOLED素子の画素電極に与えられたときにOLED素子が発光する程度に、電源電位との間に電位差を有している。

【0132】

第1のライン期間($L1$)において、選択信号によってゲート線 $G1$ が選択され、ゲート線 $G1$ に接続されている全てのスイッチング用TFT102がオンになる。そして、ソース線($S1 \sim Sx$)に順にアナログビデオ信号が入力される。ソース線($S1 \sim Sx$)に入力されたアナログビデオ信号は、スイッチング用TFT102を介して駆動用TFT102のゲート電極に入力される。

【0133】

駆動用TFT102のチャネル形成領域を流れる電流の量は、駆動用TFT102のゲート電極とソース領域の電位差であるゲート電圧 V_{GS} によって制御される。よって、OLED素子103の画素電極に与えられる電位は、駆動用TFT102のゲート電極に入力されたアナログビデオ信号の電位の高さによって決まる。したがって、OLED素子103はアナログビデオ信号の電位によって輝度が制御されて発光する。

【0134】

上述した動作を繰り返し、全てのソース線($S1 \sim Sx$)へのアナログビデオ信号の入力が終了すると、第1のライン期間($L1$)が終了する。なお、ソース線($S1 \sim Sx$)へのアナログビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間($L2$)が開始され、選択信号によってゲート線 $G2$ が選択され、第1のライン期間($L1$)と同様にソース線($S1 \sim Sx$)に順にアナログビデオ信号が入力される。

【 0 1 3 5 】

そして全てのゲート線（G 1 ～ G y）が選択されると、全てのライン期間（L 1 ～ L y）が終了する。全てのライン期間（L 1 ～ L y）が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間（L 1 ～ L y）と垂直帰線期間とを合わせて1 フレーム期間としても良い。

【 0 1 3 6 】

以上のように、アナログ駆動では、アナログビデオ信号の電位によって O L E D 素子の輝度が制御され、その輝度の制御によって階調表示がなされる。

【 0 1 3 7 】

アナログ駆動ではデジタル駆動の場合に比べて保持容量の容量値が大きいことが望ましいので、本発明の発光装置のように、開口率の低下を抑えつつ容量値の大きな保持容量を有する構成は、アナログ駆動に適している。しかし本発明はこの駆動方法に限定されることはなく、デジタル駆動の発光装置に本発明を適用するは十分可能である。

【 0 1 3 8 】

本実施例は実施例 1 ～ 5 と自由に組み合わせて実施することが可能である。

【 0 1 3 9 】

（実施例 7）

本実施例では、図 1 4 に示した構成を有する発光装置の、実施例 6 とは異なる駆動方法について説明する。

【 0 1 4 0 】

本実施例の発光装置は、画像情報を有するデジタルのビデオ信号（以下、デジタルビデオ信号と呼ぶ）を用いて画像を表示する。図 1 6 はデジタル駆動における書き込み期間と発光期間の出現するタイミングを示しており、横軸は時間を、縦軸は各ラインの画素の位置を示している。

【 0 1 4 1 】

まず、電源線（V 1 ～ V x）の電源電位は、O L E D 素子 1 0 3 の対向電極の電位と同じに保たれている。そしてゲート線 G 1 が選択信号によって選択され、

ゲート線G1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT101がオンになる。

【0142】

そして、ソース線（S1～Sx）に1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用TFT101を介して駆動用TFT102のゲート電極に入力される。

【0143】

次にゲート線G1の選択が終了し、ゲート線G2が選択され、ゲート線G2に接続されている全ての画素のスイッチング用TFT101がオンになる。そして、2ライン目の画素にソース線（S1～Sx）に1ビット目のデジタルビデオ信号が入力される。

【0144】

そして順に、全てのゲート線（G1～Gx）が選択されていく。全てのゲート線（G1～Gx）が選択され、全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間Ta1である。

【0145】

書き込み期間Ta1が終了すると次に表示期間Tr1になる。表示期間Tr1では、電源線の電源電位は、電源電位がOLED素子の画素電極に与えられたときにOLED素子が発光する程度に、対向電極との間に電位差を有する高さになる。

【0146】

そして、表示期間Tr1では、書きこみ期間Ta1において画素に書き込まれたデジタルビデオ信号によって、OLED素子103が発光するかしないかが選択される。デジタルビデオ信号が「0」の情報を有していた場合、駆動用TFT102はオフの状態となる。よってOLED素子103の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するOLED素子103は発光しない。逆に、「1」の情報を有していた場合、駆動用TFT102はオンの状態となる。よってOLED素子103の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジ

タルビデオ信号が入力された画素が有するOLED素子103は、発光する。

【0147】

このように、表示期間 T_{r1} ではOLED素子103が発光、または非発光の状態になり、全ての画素は表示を行う。

【0148】

表示期間 T_{r1} が終了すると書き込み期間 T_{a2} となり、電源線の電源電位はOLED素子の対向電極の電位と同じになる。そして書き込み期間 T_{a1} の場合と同様に順に全てのゲート線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0149】

書き込み期間 T_{a2} が終了すると表示期間 T_{r2} になり、電源線の電源電位は、電源電位がOLED素子103の画素電極に与えられたときにOLED素子103が発光する程度に、対向電極との間に電位差を有する電位になる。そして全ての画素が表示を行う。

【0150】

上述した動作は n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、書き込み期間 T_a と表示期間 T_r とが繰り返し出現する。全ての表示期間($T_{r1} \sim T_{rn}$)が終了すると1つの画像を表示することができる。本実施例の駆動方法において、1つの画像を表示する期間を1フレーム期間(F)と呼ぶ。1フレーム期間が終了すると次のフレーム期間が開始される。そして再び書き込み期間 T_{a1} が出現し、上述した動作を繰り返す。

【0151】

通常の発光装置では1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0152】

本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さ比は、 $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} :$

$Tr_n = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となるようにすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【 0 1 5 3 】

1 フレーム期間中に O L E D 素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を 1 0 0 % とすると、 Tr_1 と Tr_2 において画素が発光した場合には 1 % の輝度が表現でき、 Tr_3 と Tr_5 と Tr_8 を選択した場合には 6 0 % の輝度が表現できる。

【 0 1 5 4 】

また表示期間 $Tr_1 \sim Tr_n$ は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 Tr_1 の次に Tr_3 、 Tr_5 、 Tr_2 、… という順序で表示期間を出現させることも可能である。

【 0 1 5 5 】

なお本実施例では、電源線の電源電位の高さを書き込み期間と表示期間とで変化させていたが、本発明はこれに限定されない。電源電位が O L E D 素子の画素電極に与えられたときに O L E D 素子が発光する程度の電位差を、電源電位と対向電極の電位とが常に有するようにしても良い。その場合、書き込み期間においても O L E D 素子を発光させることが可能になる。よって、当該フレーム期間において画素が表示する階調は、1 フレーム期間中に O L E D 素子が発光した書き込み期間と表示期間の長さの総和によって決まる。なおこの場合、各ビットのデジタルビデオ信号に対応する書き込み期間と表示期間の長さの和の比が、 $(Ta_1 + Tr_1) : (Ta_2 + Tr_2) : (Ta_3 + Tr_3) : \dots : (Ta_{(n-1)} + Tr_{(n-1)}) : (Ta_n + Tr_n) = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となることが必要である。

【 0 1 5 6 】

本実施例は実施例 1 ～ 5 と自由に組み合わせて実施することが可能である。

【 0 1 5 7 】

(実施例 8)

本実施例では、本発明を用いて発光装置を作製した例について、図 1 7 を用いて説明する。

【 0 1 5 8 】

図 1 7 (A) は、O L E D 素子が形成された基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図 1 7 (B) は、図 1 7 (A) の A - A' における断面図、図 1 7 (C) は図 1 7 (A) の B - B' における断面図である。

【 0 1 5 9 】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート線駆動回路 4 0 0 4 a、b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、ソース線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート線駆動回路 4 0 0 4 a、b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、ソース線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

【 0 1 6 0 】

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート線駆動回路 4 0 0 4 a、b とは、複数の T F T を有している。ソース線駆動回路 4 0 0 3 はソース線にビデオ信号を入力する回路であり、第 1 及び第 2 のゲート線駆動回路 4 0 0 4 a、b は、選択信号によってゲート線を選択する回路である。

【 0 1 6 1 】

図 1 7 (B) では代表的に、下地膜 4 0 1 0 上に形成された、ソース線駆動回路 4 0 0 3 に含まれる駆動回路用 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示する) 4 2 0 1 及び画素部 4 0 0 2 に含まれる駆動用 T F T (O L E D 素子への電流を制御する T F T) 4 2 0 2 を図示した。

【 0 1 6 2 】

本実施例では、駆動回路用 T F T 4 2 0 1 には公知の方法で作製された p チャ

ネル型 T F T または n チャネル型 T F T が用いられ、駆動用 T F T 4 2 0 2 には公知の方法で作製された p チャネル型 T F T が用いられる。また、画素部 4 0 0 2 には駆動用 T F T 4 2 0 2 のゲートに接続された保持容量（図示せず）が設けられる。

【 0 1 6 3 】

駆動回路用 T F T 4 2 0 1 及び駆動用 T F T 4 2 0 2 上には層間絶縁膜（平坦化膜）4 3 0 1 が形成され、その上に駆動用 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極（陽極）4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【 0 1 6 4 】

そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2 は画素電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には有機発光層 4 2 0 4 が形成される。有機発光層 4 2 0 4 は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【 0 1 6 5 】

有機発光層 4 2 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【 0 1 6 6 】

有機発光層 4 2 0 4 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極 4 2 0 5 が形成される。また、陰極 4 2 0 5 と有機発光層 4 2 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発

光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0167】

以上のようにして、画素電極（陽極）4203、有機発光層4204及び陰極4205からなるOLED素子4303が形成される。そしてOLED素子4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、OLED素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0168】

4005aは電源供給線に接続された引き回し配線であり、駆動用TFT4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

【0169】

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0170】

但し、OLED素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0171】

また、充填材4103としては窒素やアルゴンなどの不活性な気体の他に、紫

外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0172】

また充填材4103を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、OLED素子4303の劣化を抑制できる。

【0173】

図17（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0174】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

【0175】

本実施例は、実施例1～7と自由に組み合わせて実施することが可能である。

【0176】

（実施例9）

本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これによ

り、OLED素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0177】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

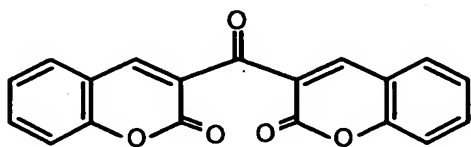
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0178】

上記の論文により報告された有機発光材料（クマリン色素）の分子式を以下に示す。

【0179】

【化1】



【0180】

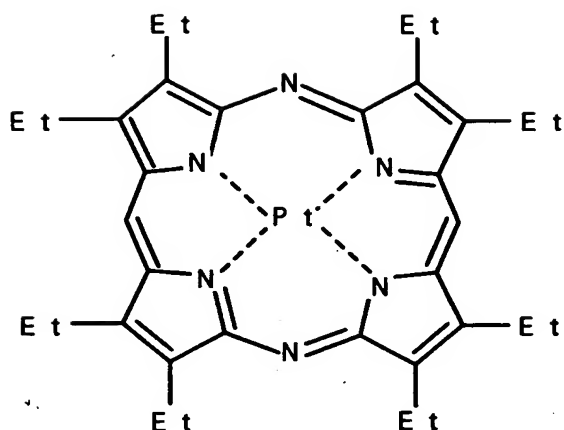
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0181】

上記の論文により報告された有機発光材料（Pt錯体）の分子式を以下に示す

【0182】

【化 2】



【0183】

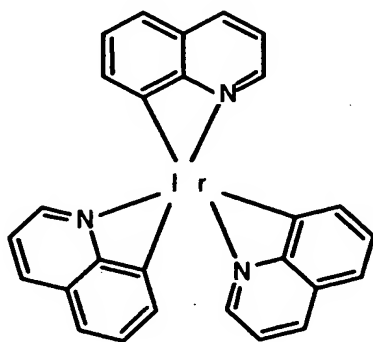
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl. Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【0184】

上記の論文により報告された有機発光材料 (Ir 錯体) の分子式を以下に示す。

【0185】

【化 3】



【0186】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0187】

なお、本実施例の構成は、実施例1～実施例8のいずれの構成とも自由に組み合わせて実施することが可能である。

【0188】

(実施例10)

本実施例では、図2と異なる構成を有する、本発明の保持容量について説明する。

【0189】

図21に本実施例の画素の断面図を示す。なお、図2において既に図示しているものには同じ符号を付す。

【0190】

第2層間絶縁膜117上にはソース線(S)と、接続配線118、119と、電源線(V)とが形成されており、ソース線(S)は第2層間絶縁膜117に形成されたコンタクトホールを介して不純物領域110と接続されている。また接続配線118は、第2層間絶縁膜117に形成されたコンタクトホールを介して不純物領域111と接続されている。接続配線119は、第2層間絶縁膜117に形成されたコンタクトホールを介して不純物領域112と接続されている。また、電源線(V)は第2層間絶縁膜117に形成されたコンタクトホールを介して不純物領域113と接続されている。そして接続配線118は間に第2層間絶縁膜117を挟んで、活性層130と重なっている。

【0191】

そして、ソース線(S)と、接続配線118、119と、電源線(V)を覆うように、第2層間絶縁膜117上に容量用絶縁膜170を形成する。容量用絶縁膜170の材料は絶縁性を有するならば無機物の材料と有機物の材料のどちらでも、用いることができる。ただし、後に形成される第3層間絶縁膜120とエッチングの選択比が異なっていることが重要である。

【0192】

次に、容量用絶縁膜170上に第3層間絶縁膜120が形成されている。第3層間絶縁膜は、接続配線118と重なる部分において、一部がエッチングにより除去されており、第3層間絶縁膜120が露出する。上記構成により、後に形成される容量配線121と、容量用絶縁膜170と、接続配線118とが順に接して形成される。

【0193】

そして第3層間絶縁膜120上に容量配線121と画素電極122が形成されている。

【0194】

画素電極122は第3層間絶縁膜120に形成されたコンタクトホールを介して接続配線119に形成されている。

【0195】

本実施例では、接続配線118と容量配線121との間に容量用絶縁膜170が形成されている部分において、保持容量104が形成されている。なお、本実施例では容量用絶縁膜170を第3層間絶縁膜120と異なる層として記述しているが、容量用絶縁膜170を複数の絶縁膜の層からなる第3層間絶縁膜120の一部としてみなすこともできる。

【0196】

なお、本実施例の構成は、実施例1、実施例3～実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

【0197】

(実施例11)

発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0198】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシス

テム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図18に示す。

【0199】

図18（A）はOLED表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、OLED表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0200】

図18（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0201】

図18（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0202】

図18（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0203】

図18（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再

生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカ部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0204】

図18(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0205】

図18(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0206】

ここで図18(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0207】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0208】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発

光装置は動画表示に好ましい。

【0209】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0210】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～9に示したいずれの構成の発光装置を用いても良い。

【0211】

【発明の効果】

本発明は上記構成によって、TFTと保持容量とを重ねて形成することが可能であるので、開口率を抑えつつ保持容量の容量値を大きくすることができる。よって、リーク等によるゲート電圧の変化を抑えることができるので、アナログ駆動において、OLED素子の輝度が変化するのを抑え、画面のちらつきを抑えることができる。

【0212】

また開口率の低下を抑えることは、画素の有効発光面積の縮小化を抑えることにつながる。有効発光面積は大きければ大きいほど、画面の輝度が高くなるため、本発明の構成によって消費電力を抑えることができる。

【図面の簡単な説明】

【図1】 本発明の発光装置の画素の回路図。

【図2】 本発明の発光装置の画素の断面図。

【図3】 本発明の発光装置の作製工程を示す図。

【図4】 本発明の発光装置の上面図。

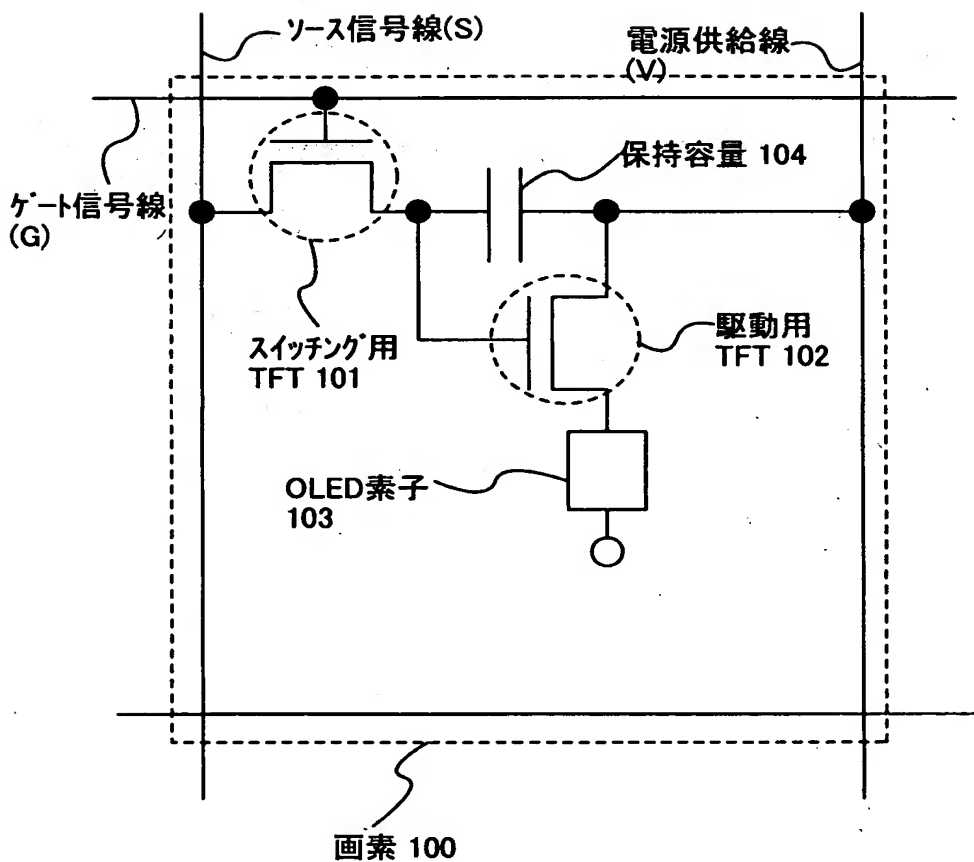
【図5】 本発明の発光装置の作製工程を示す図。

【図6】 本発明の発光装置の上面図。

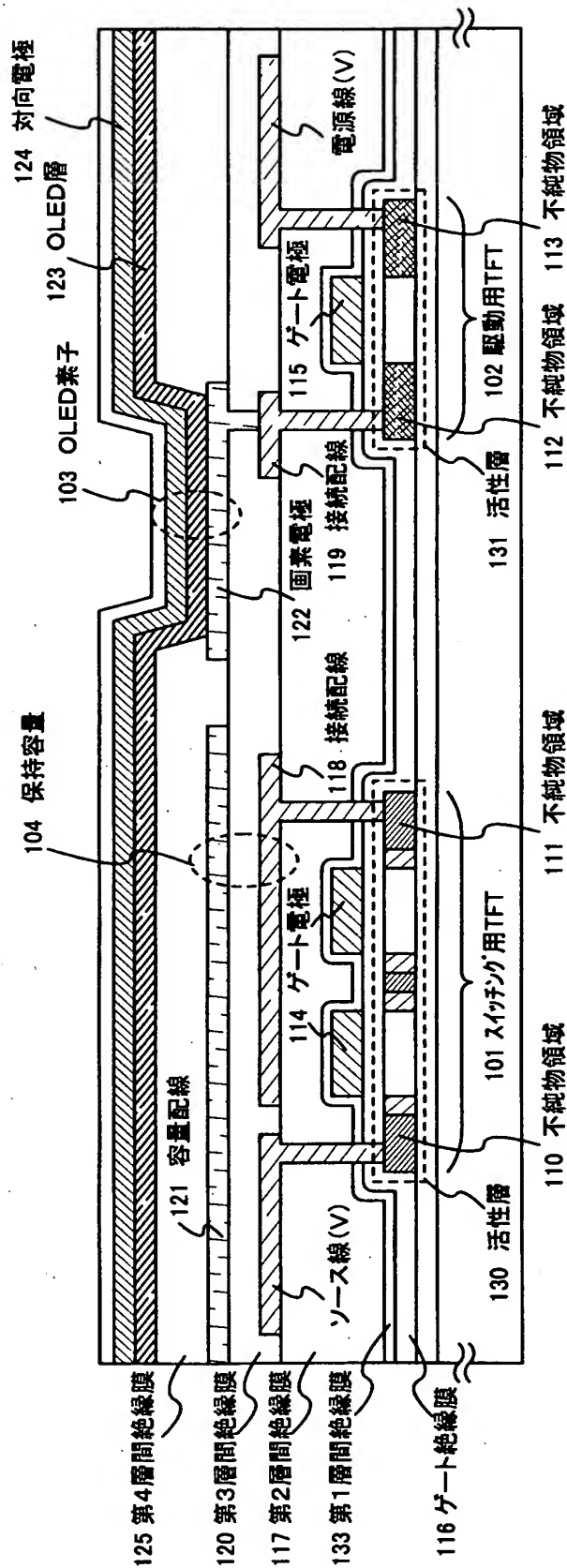
- 【図 7】 本発明の発光装置の作製工程を示す図。
- 【図 8】 本発明の発光装置の上面図。
- 【図 9】 本発明の発光装置の上面図。
- 【図 1 0】 本発明の発光装置の画素の断面図。
- 【図 1 1】 本発明の発光装置の画素の断面図。
- 【図 1 2】 本発明の発光装置の画素の断面図。
- 【図 1 3】 本発明の発光装置の画素の断面図。
- 【図 1 4】 本発明の発光装置の画素部の回路図。
- 【図 1 5】 アナログ駆動におけるタイミングチャート。
- 【図 1 6】 デジタル駆動におけるタイミングチャート。
- 【図 1 7】 本発明の発光装置の上面図及び断面図。
- 【図 1 8】 本発明の発光装置を用いた電子機器の図。
- 【図 1 9】 駆動用 T F T のトランジスタ特性を示す図。
- 【図 2 0】 本発明の発光装置の画素の断面図。
- 【図 2 1】 本発明の発光装置の画素の断面図。

【書類名】 図面

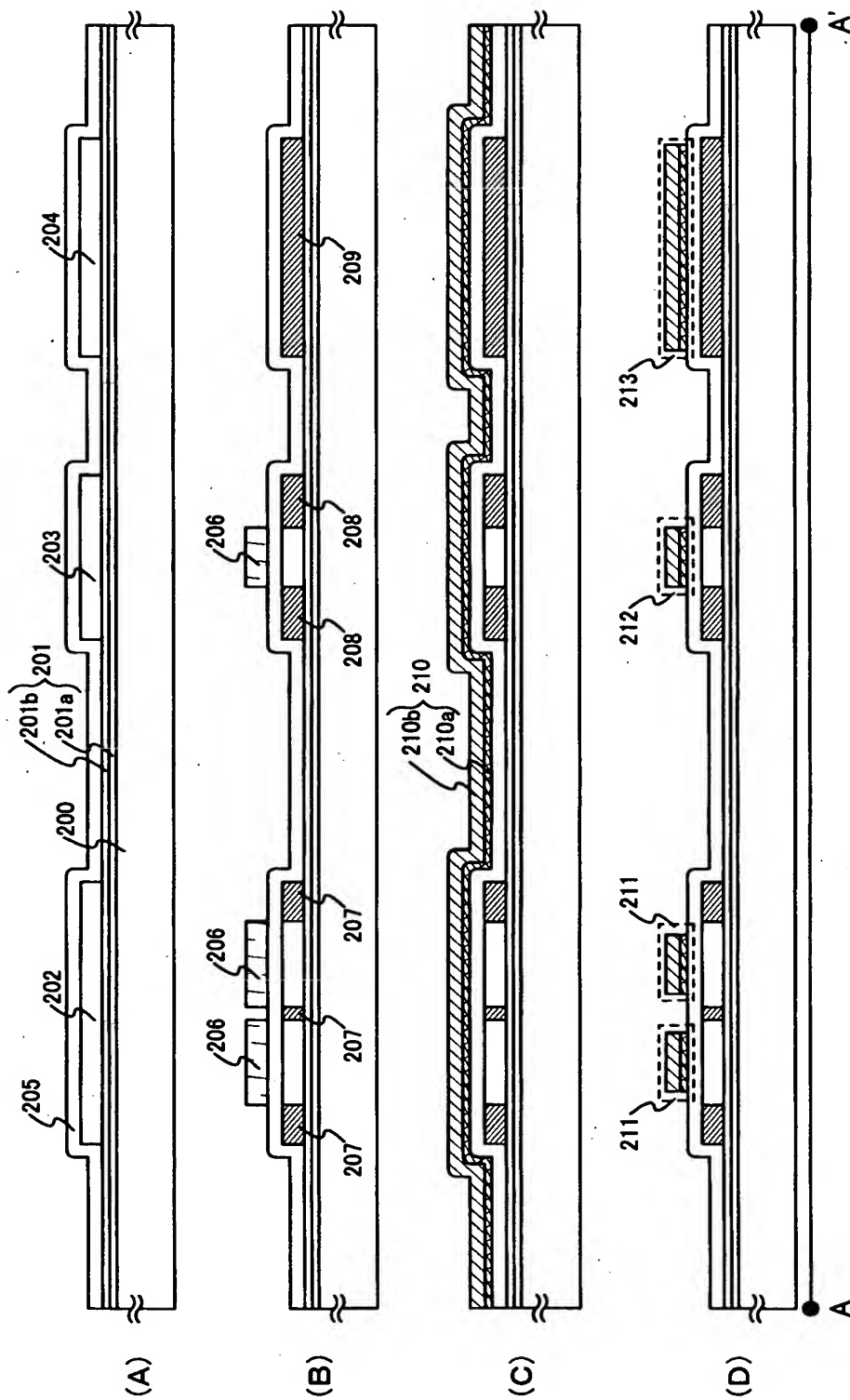
【図 1】



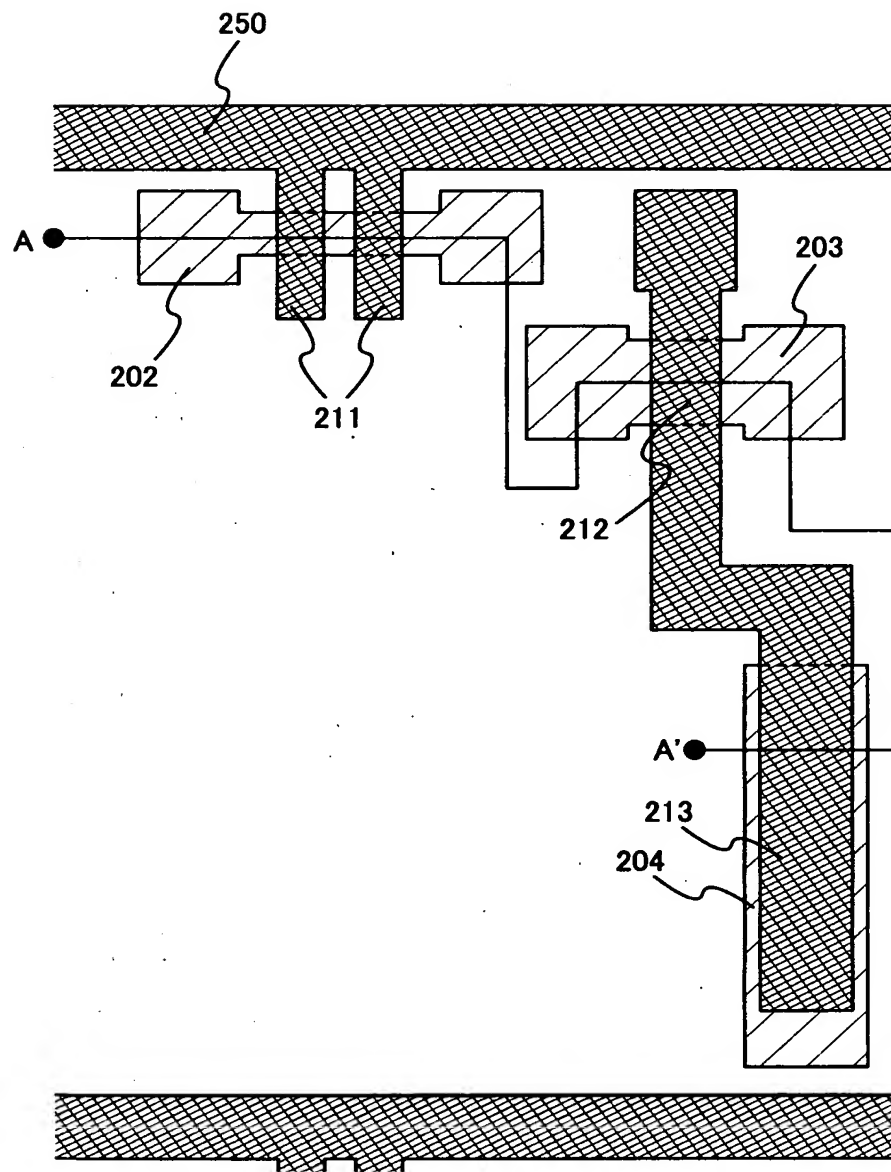
【図 2】



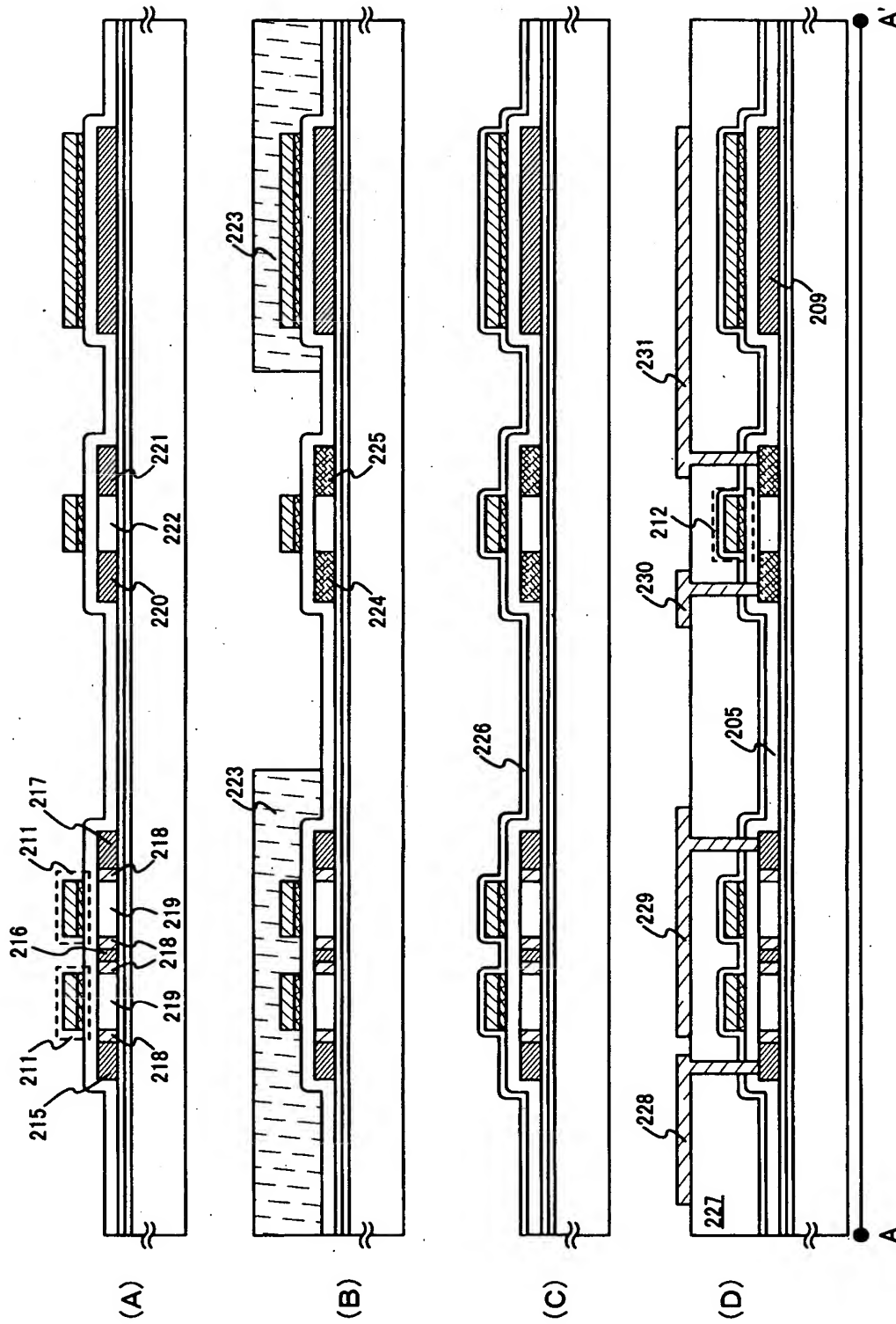
【図 3】



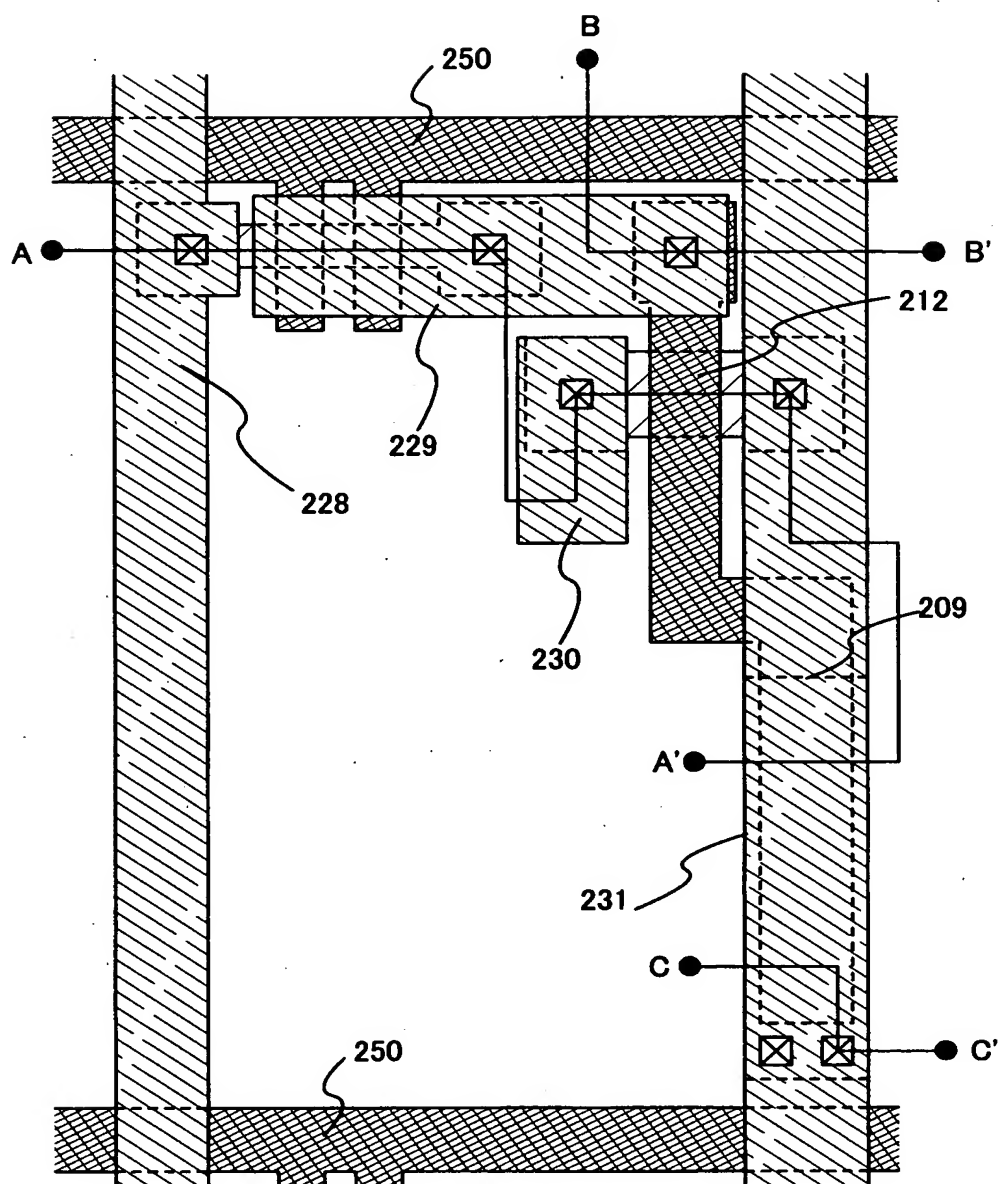
【図 4】



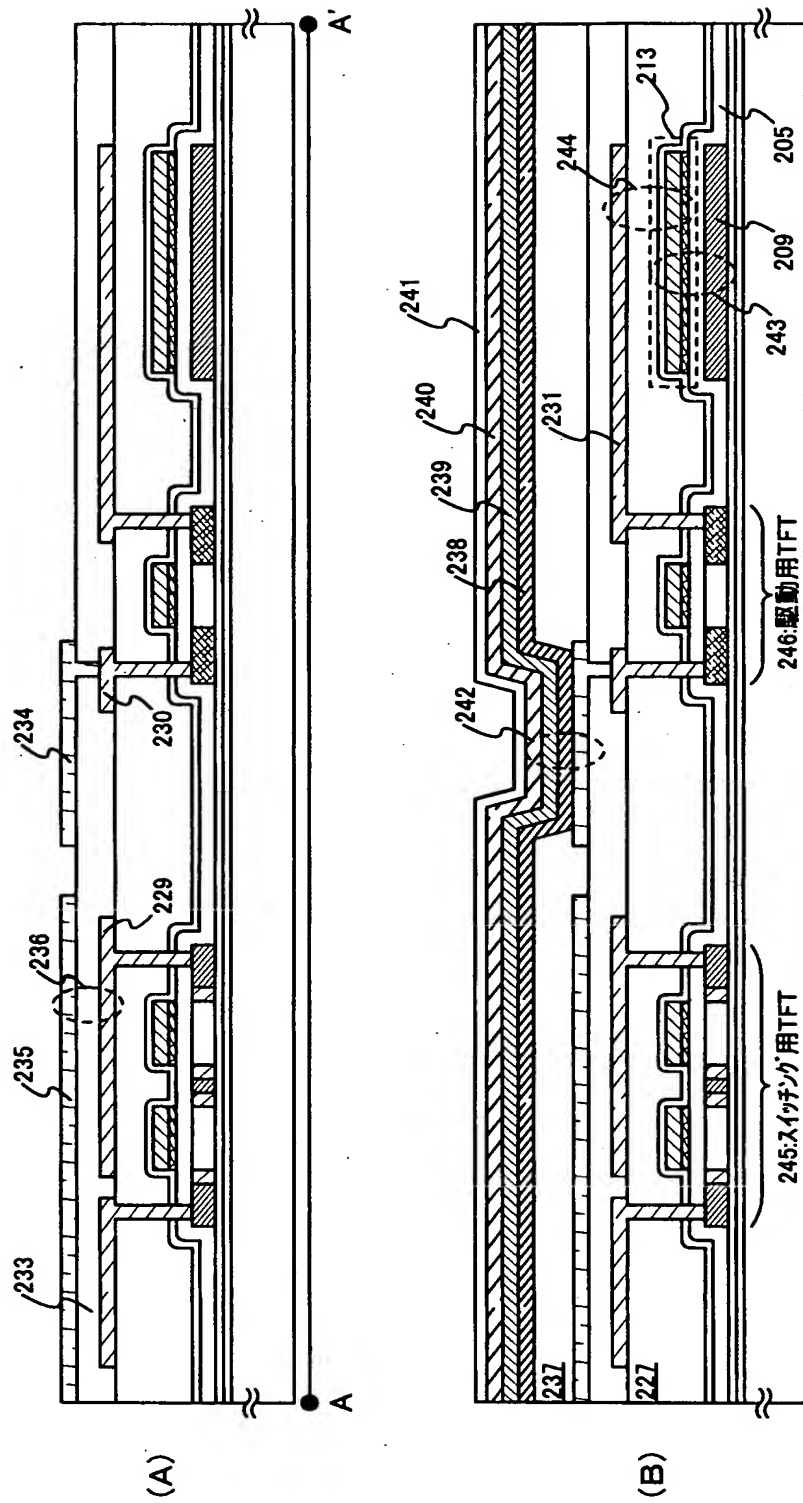
【図 5】



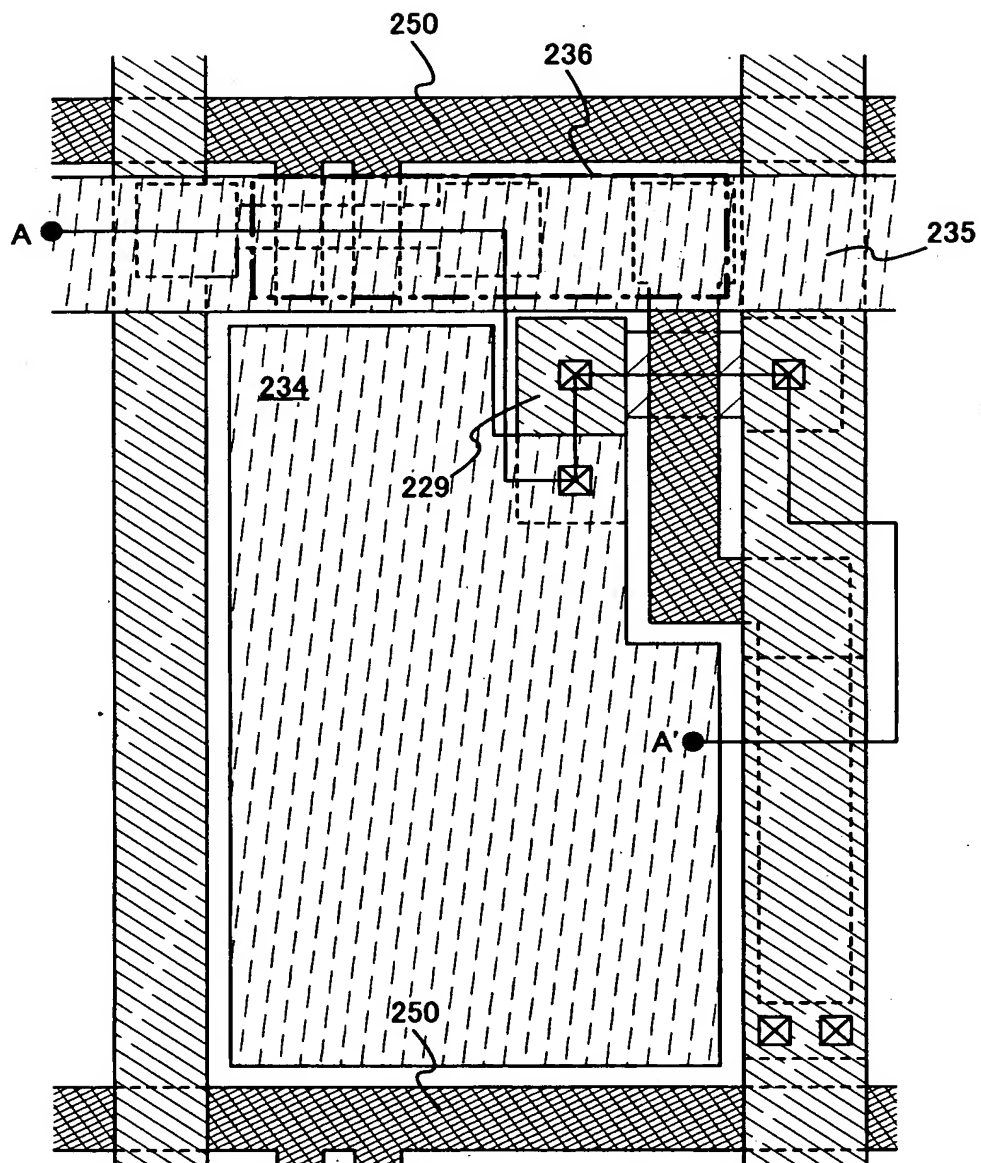
【図 6】



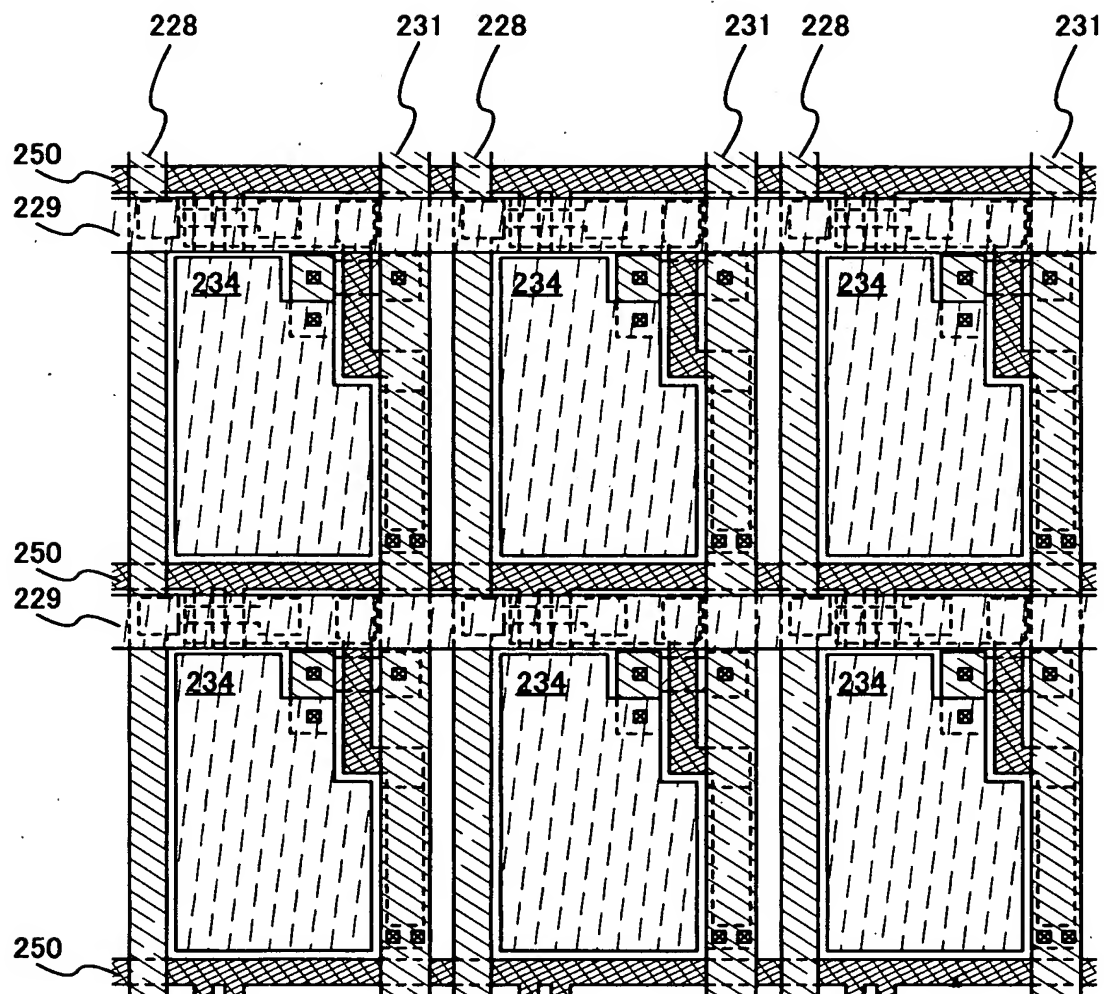
【図 7】



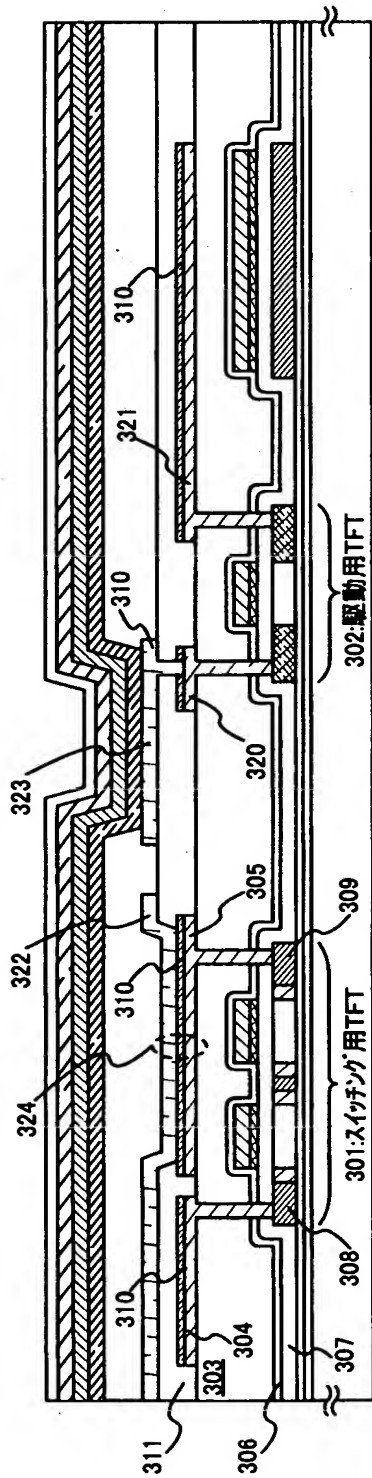
【図 8】



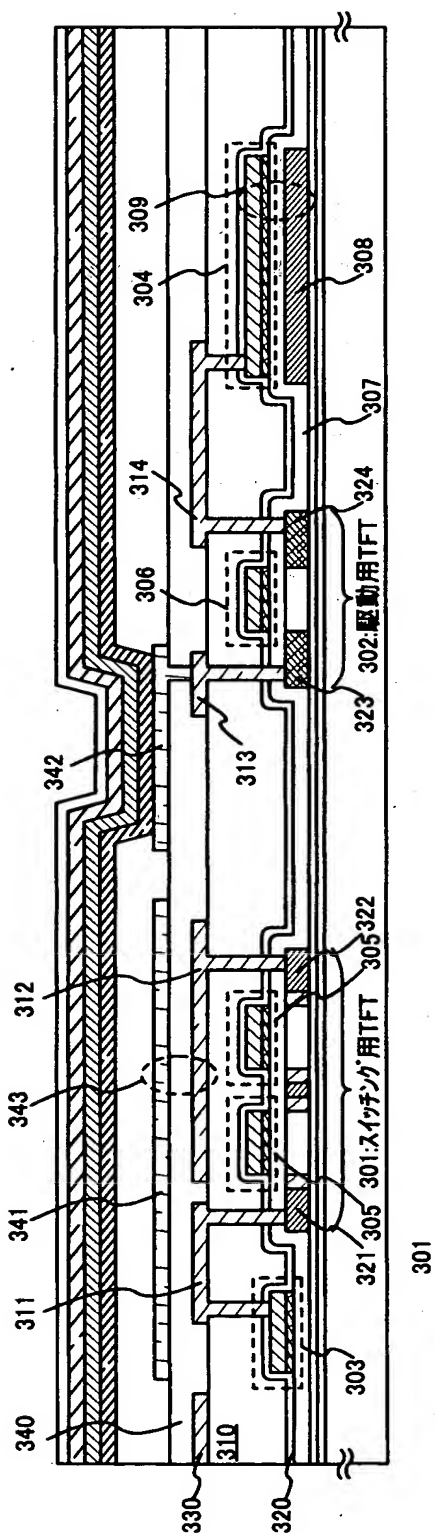
【図 9】



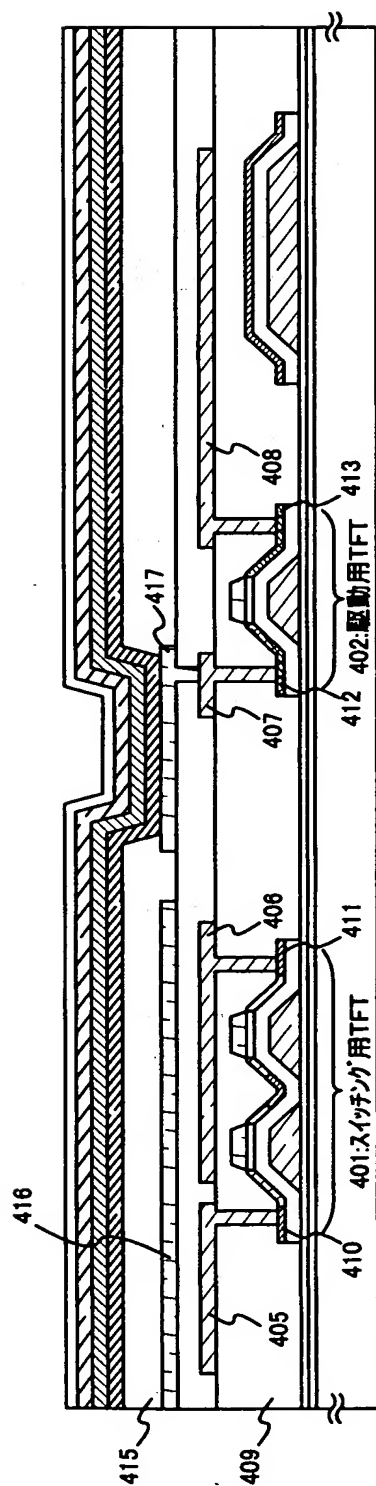
【図 10】



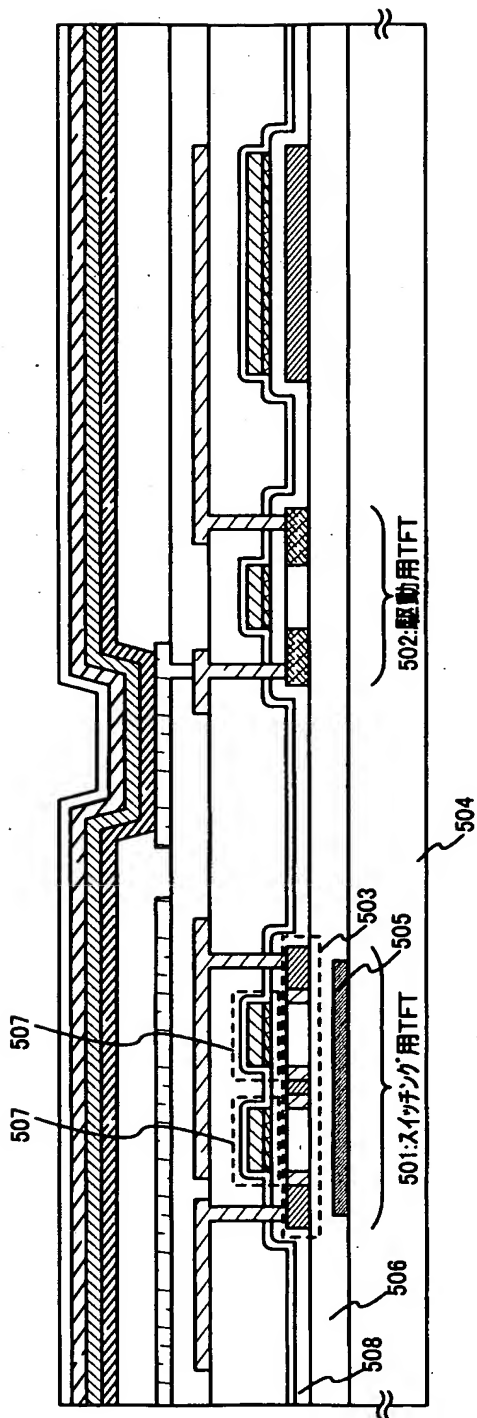
【図 11】



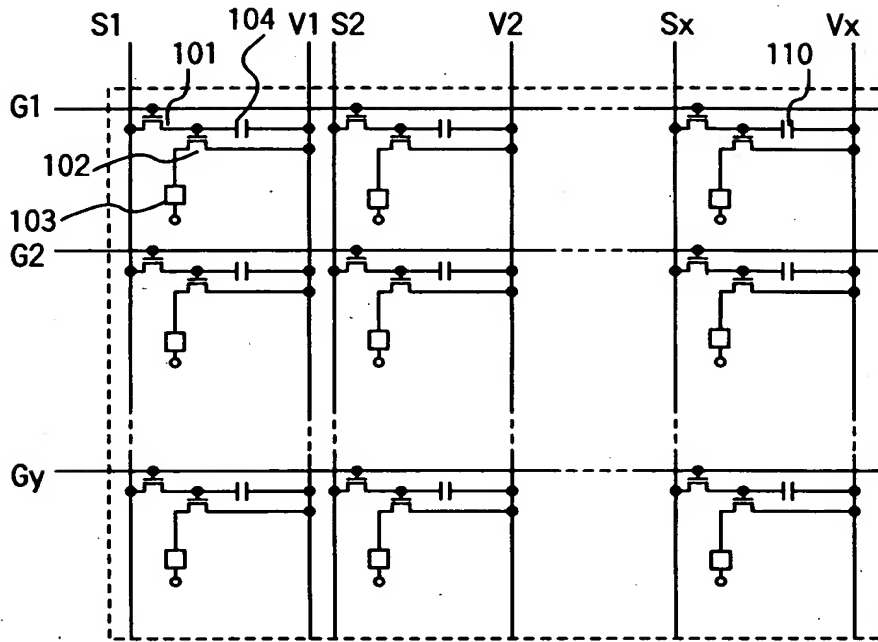
【図 12】



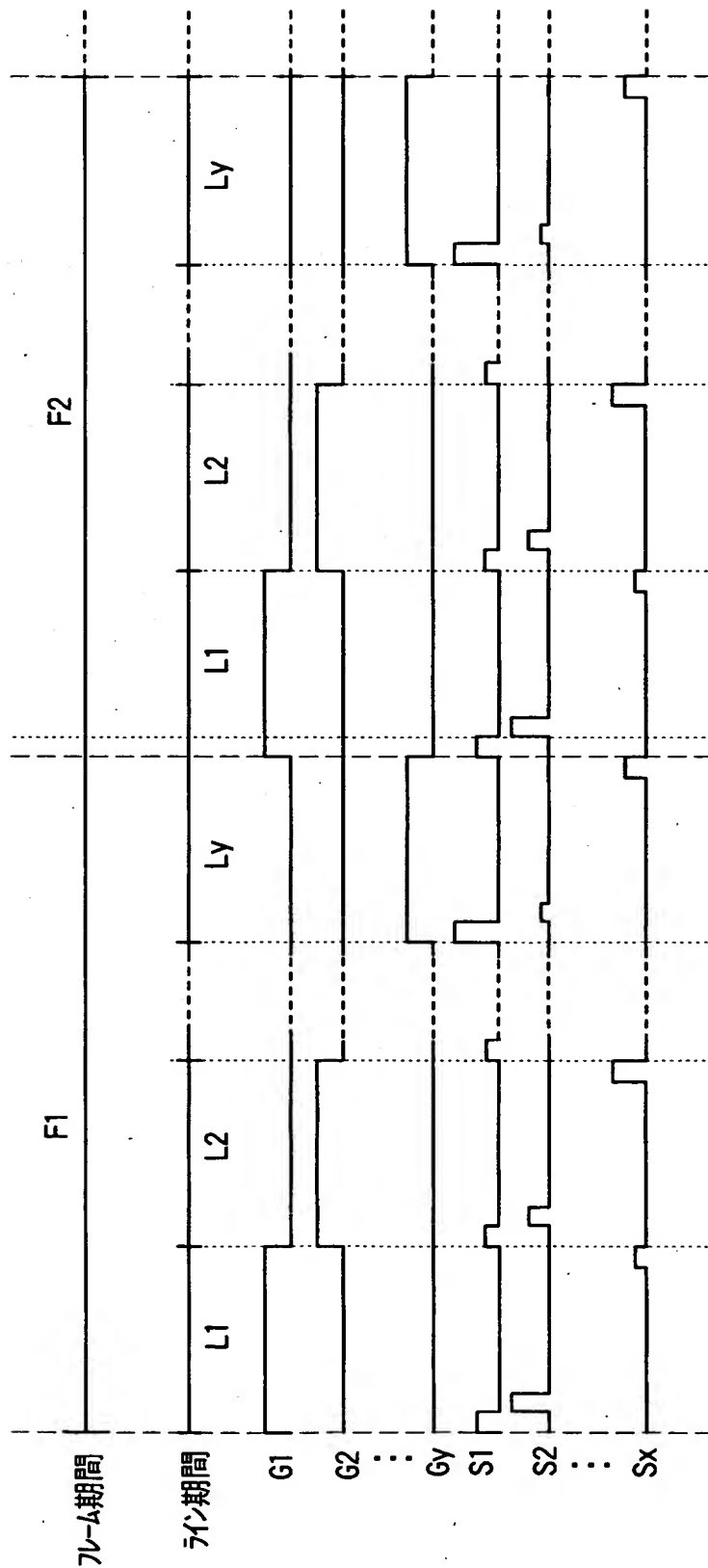
【図 13】



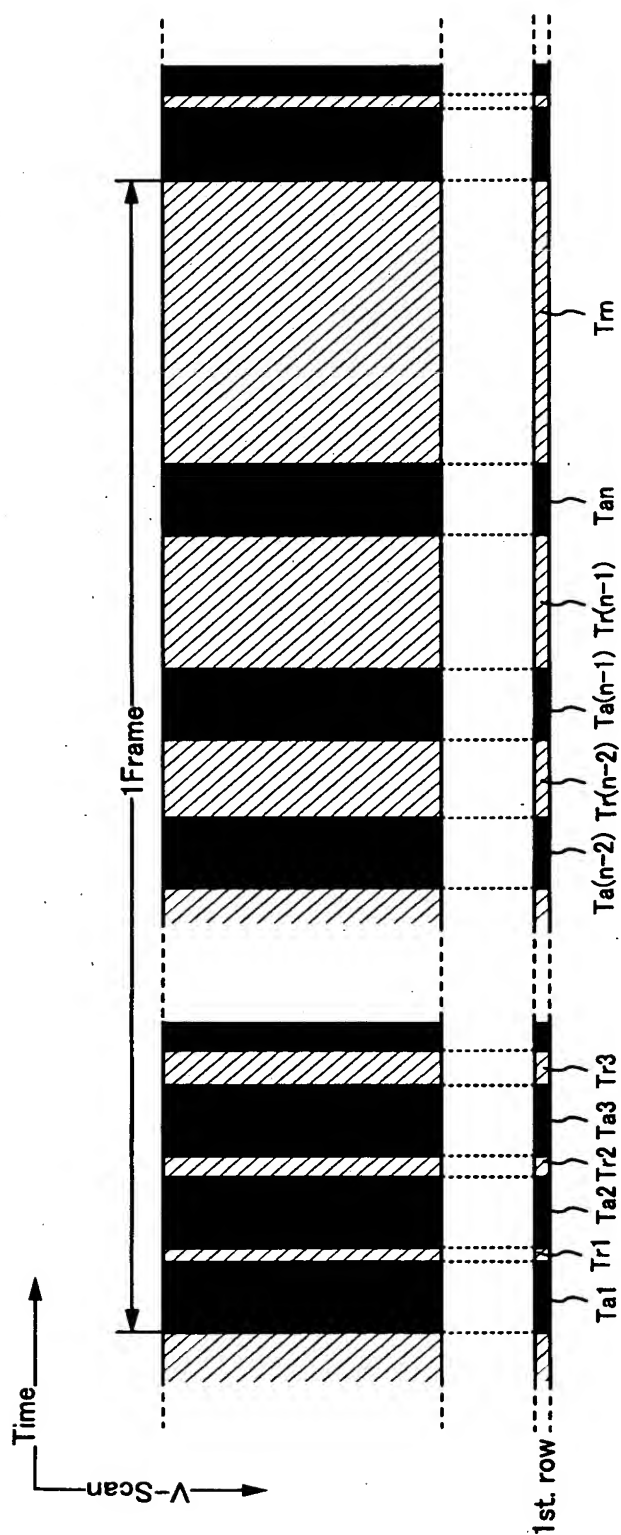
【図 1 4】



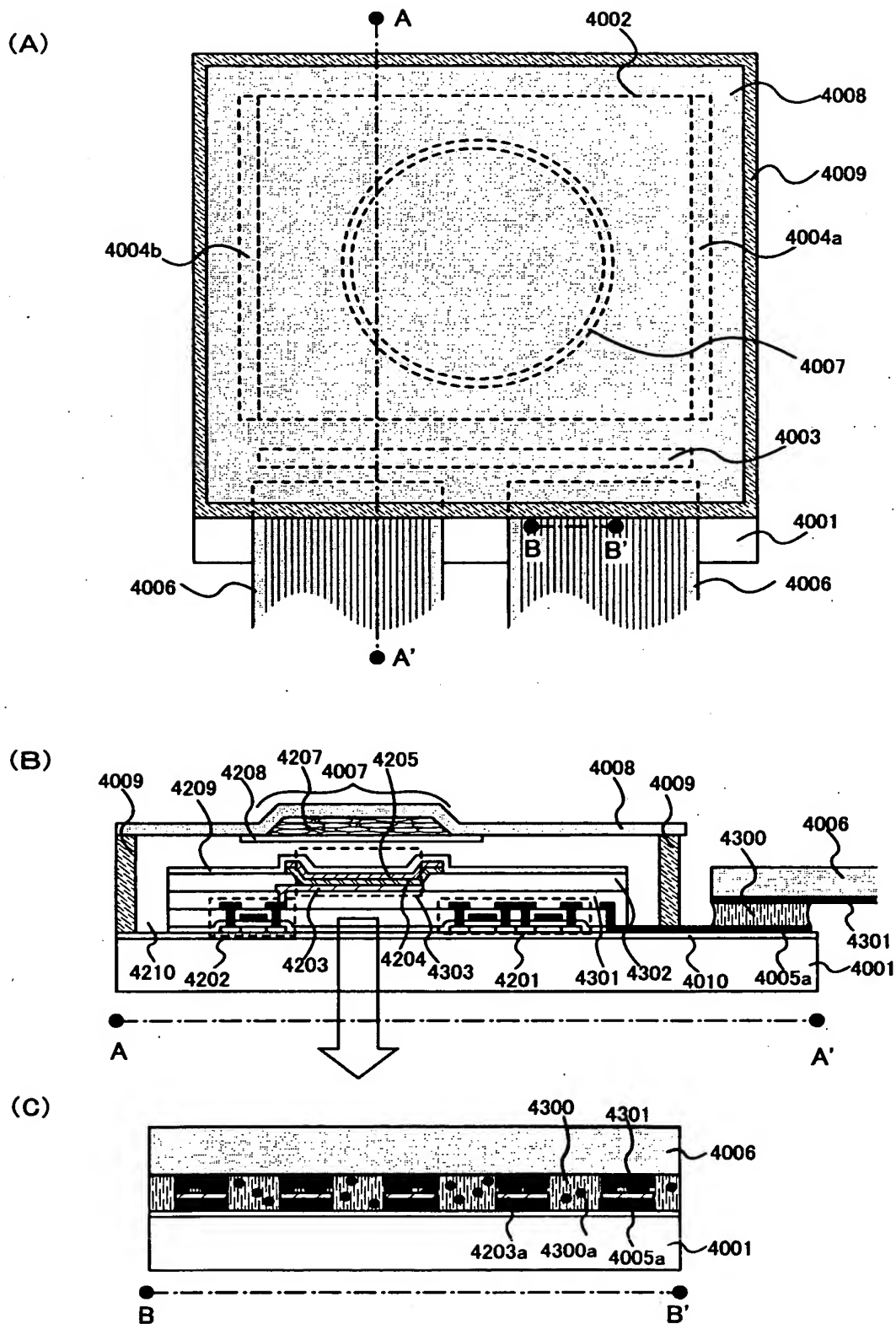
【図15】



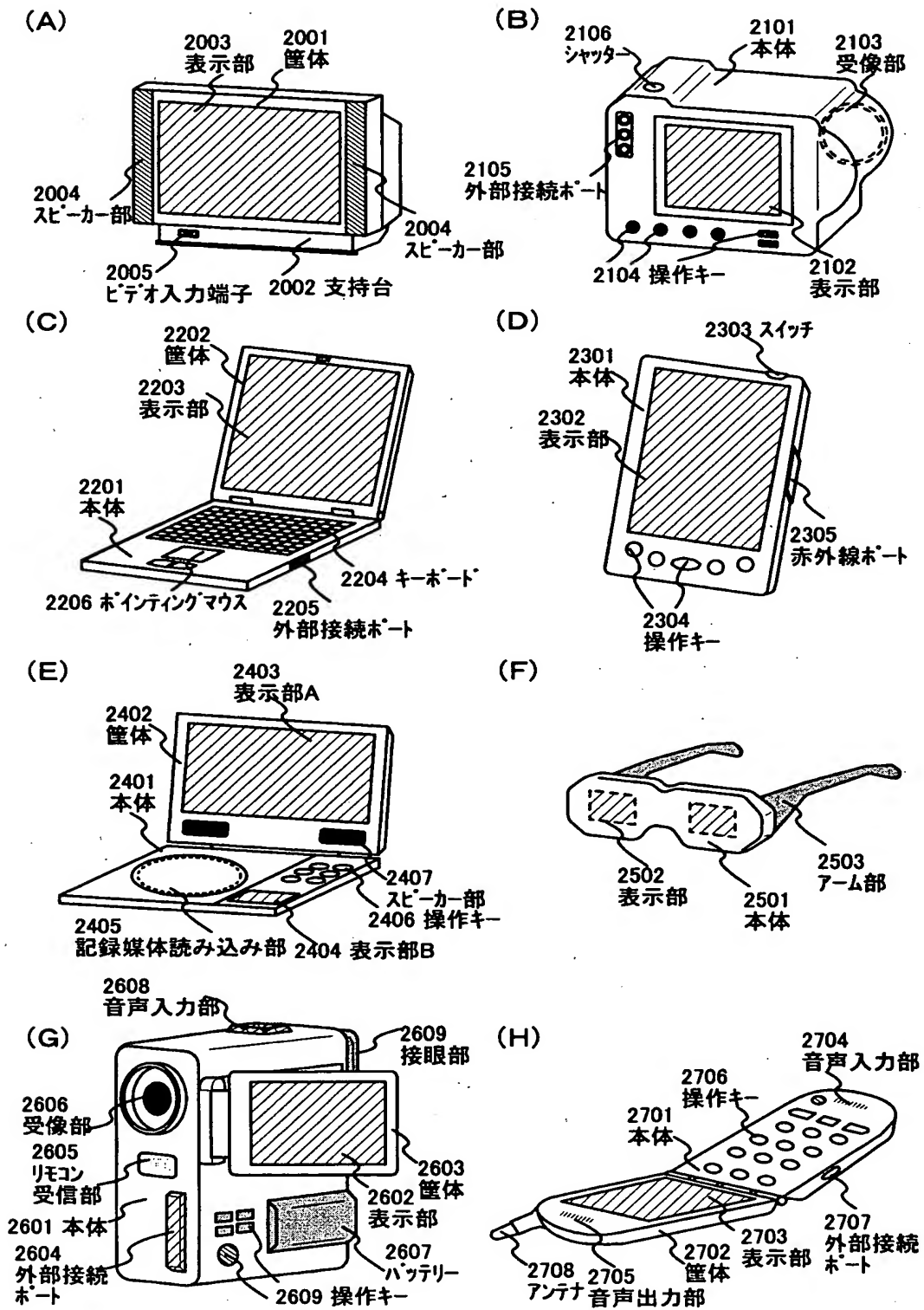
【図 16】



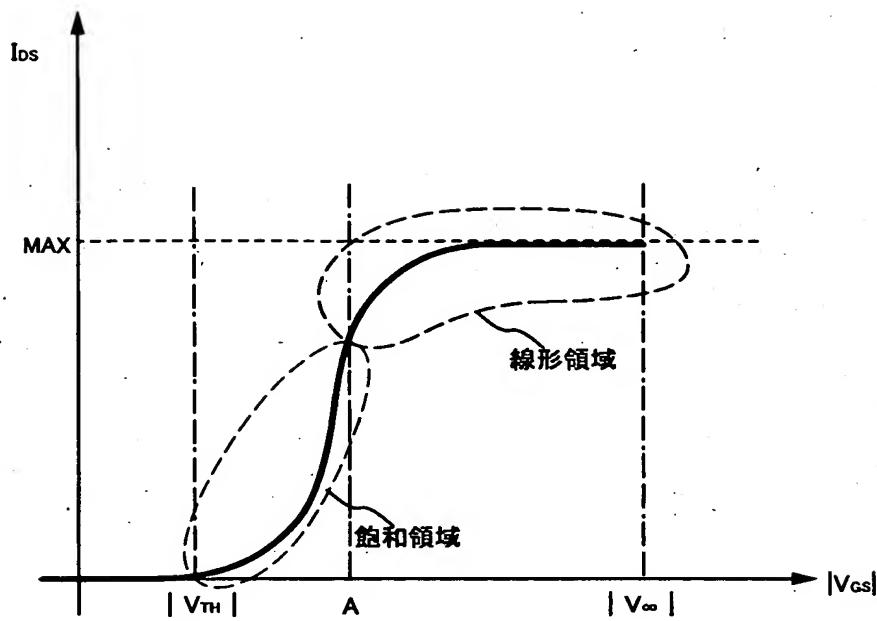
【図 17】



【図 18】

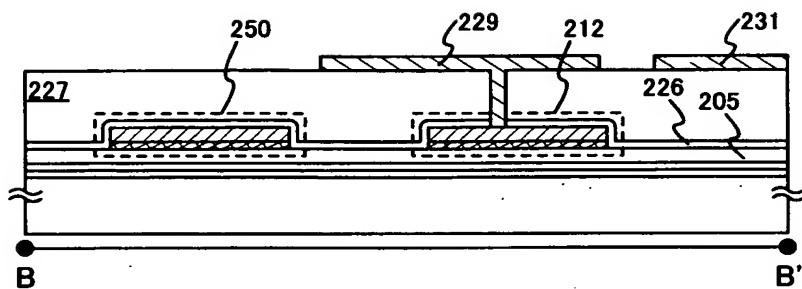


【図 19】

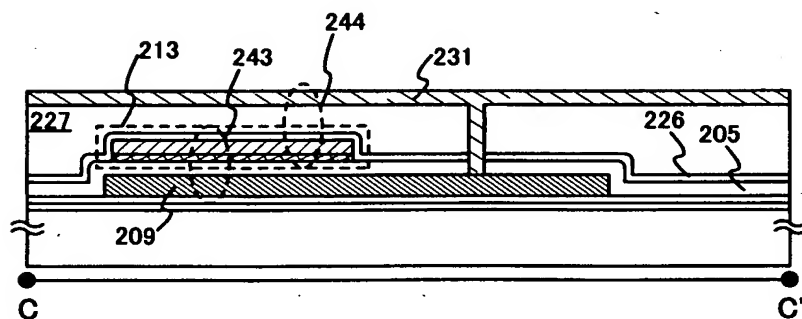


【図 2 0】

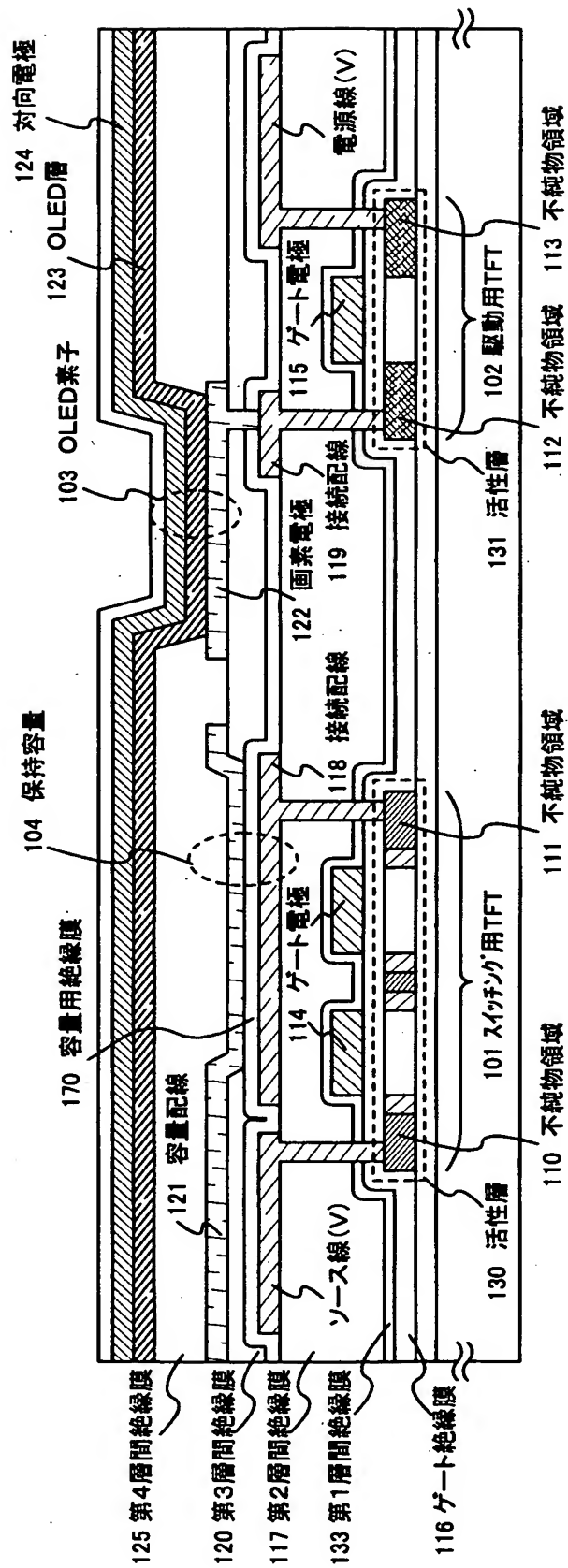
(A)



(B)



【図 2 1】



【書類名】 要約書

【要約】

【課題】 リーク等によるゲート電圧の変化を抑えることと、開口率の低下を抑えることを同時に満たす発光装置の提供。

【解決手段】 画素が有するTFTのゲート電極及び活性層上に形成され、かつ活性層に接続された配線（接続配線）と、前記接続配線上に形成された絶縁膜と、前記絶縁膜上に形成された配線（容量配線）とで保持容量を形成した。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所